

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年9月20日 (20.09.2001)

PCT

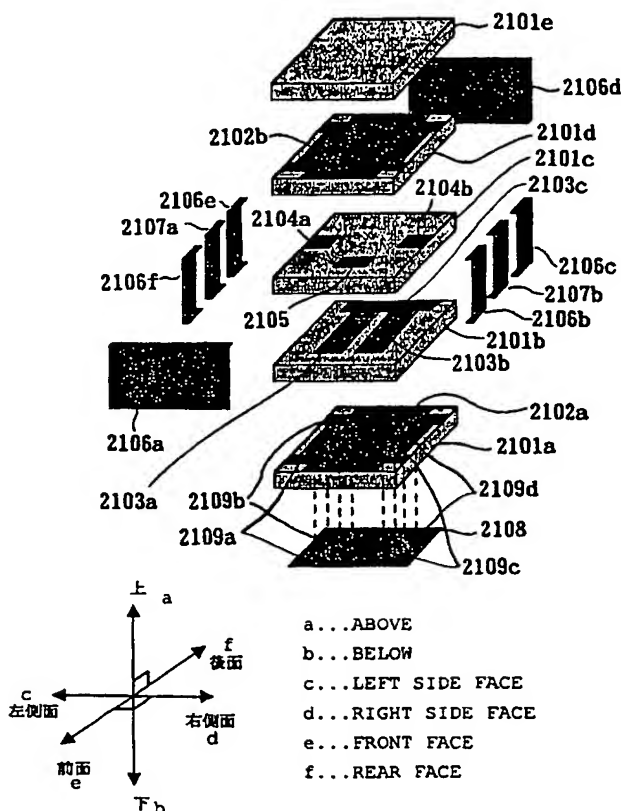
(10) 国際公開番号  
WO 01/69710 A1

- (51) 国際特許分類: H01P 1/203, 3/08, H03H 7/705 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP01/02002
- (22) 国際出願日: 2001年3月14日 (14.03.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2000-072830 2000年3月15日 (15.03.2000) JP  
特願2000-072831 2000年3月15日 (15.03.2000) JP  
特願2000-072832 2000年3月15日 (15.03.2000) JP
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 瓜生一英 (URIU, Kazuhide) [JP/JP]; 〒576-0054 大阪府交野市幾野4-10-404 Osaka (JP). 中村弘幸 (NAKAMURA, Hiroyuki) [JP/JP]; 〒576-0016 大阪府交野市星田5-3-1-206 Osaka (JP). 山田 徹 (YAMADA, Toru) [JP/JP]; 〒576-0033 大阪府交野市私市4-69-7 Osaka (JP). 松村 勉 (MATSUMURA, Tsutomu) [JP/JP]; 〒581-0874 大阪府八尾市教興寺6-10 Osaka (JP). 加賀田博司 (KAGATA, Hiroshi) [JP/JP]; 〒573-0035 大

[続葉有]

(54) Title: MULTILAYER ELECTRONIC PART, MULTILAYER ANTENNA DUPLEXER, AND COMMUNICATION APPARATUS

(54) 発明の名称: 積層電子部品、積層共用器、及び通信機器



(57) Abstract: A multilayer filter comprising a first dielectric layer (2101a) having a first shield electrode provided on one major surface, a second dielectric layer (b) having a resonator electrode provided on the one major surface, a third dielectric layer (2101c) having a bond electrode provided oppositely to a part of the resonator electrode on the one major surface, a fourth dielectric layer (2101d) having a second shield electrode provided on the one major surface, a fifth dielectric layer (2101e) where at least the one major surface is exposed to the outside, and a ground electrode (2108) provided on the other major surface of the first dielectric layer and/or the one major surface of the fifth dielectric layer, characterized in that the first ground electrode and the first shield electrode are connected electrically through a via hole (2109) made in the first dielectric layer.

[続葉有]

WO 01/69710 A1



阪府枚方市高塚町15-15-507 Osaka (JP). 川北晃司 (KAWAKITA, Kouji) [JP/JP]; 〒610-0121 京都府城陽市寺田西ノ口43-48 Kyoto (JP). 石崎俊雄 (ISHIZAKI, Toshio) [JP/JP]; 〒658-0072 兵庫県神戸市東灘区岡本3丁目2-2-502 Hyogo (JP).

(74) 代理人: 弁理士 松田正道(MATSUDA, Masamichi); 〒532-0003 大阪府大阪市淀川区宮原5丁目1番3号 新大阪生島ビル Osaka (JP).

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

一方の主面に設けられた第1のシールド電極を有する第1の誘電体層2101 a、一方の主面に設けられた共振器電極を有する第2の誘電体層b、一方の主面に、前記共振器電極の一部と対向して設けられた結合電極を有する第3の誘電体層2101 c、一方の主面に設けられた第2のシールド電極を有する第4の誘電体層2101 dと、少なくとも一方の主面が外部に露出している第5の誘電体層2101 dと、前記第1の誘電体層の他方の主面および／または前記第5の誘電体層の前記一方の主面に設けられた接地電極2108とを備え、前記第1の接地電極と前記第1のシールド電極とは、前記第1の誘電体層に設けられたビアホール2109を介して電氣的に接続されていることを特徴とする積層フィルタ。

## 明 細 書

## 積層電子部品、積層共用器、及び通信機器

## 技術分野

本発明は主として携帯電話機などの高周波無線機器に実装する積層電子部品に関するものである。

## 背景技術

近年、積層電子部品は通信機器の小型化に伴い、高周波デバイスとして用いられている。以下に図面を参照しながら、上記した従来の積層電子部品の一例について説明する。

図 3 は従来の積層電子部品の分解斜視図を示すものである。図 3 に示すように積層電子部品は誘電体層 301 から誘電体層 308 までが順に積層されている。誘電体層 301 には接地電極 309 が配置され、誘電体層 302 にはコンデンサ電極 310 が配置されている。また、誘電体層 303 にはストリップライン 311 とストリップライン 312 が配置され、接続点 313 で接続されている。

誘電体層 304、305、306、307 にはそれぞれコンデンサ電極 314、接地電極 315、コンデンサ電極 316、接地電極 317 が配置されている。さらに、コンデンサ電極 310 はビアホール 322 を介してストリップライン 311 の接続点 318 に接続され、コンデンサ電極 314 はビアホール 323 を介して接続点 313 に接続されている。さらに、コンデンサ電極 316 はビアホール 324 を介してストリップライン 312 の接続点 319 に接続されている。

接地電極 315、317 は積層電子部品側面に形成された外部電極 320 を介

して接地電極 309 に接続され、回路の外部電極端子はストリップライン 311、312 の一端を積層電子部品端面まで引き伸ばし、積層電子部品側面に形成された外部電極 321 に接続することにより入力電極及び出力電極を形成している。ただし、上記の説明に関し、図におけるビアホール の位置は、簡単のため原則として分解斜視図上の点線にて模式的に示した。

次に、従来の積層電子部品の斜視図のもう一つの例を図 23 に示す。

図 23 において、積層電子部品 3901 は複数の誘電体シートが積層されて成る積層体 3902 と、外部電極 3903 とから構成されたものである。積層体 3902 の内層には入力／出力端子を備える少なくとも 1 つの内部回路（図示せず）および少なくとも 1 つの内部接地電極（図示せず）が介在する。

積層体 3902 の少なくとも 1 つの側面には外部電極 3903 が形成され、これらの外部電極 3903 は内部回路の入力／出力端子と内部接地電極にそれぞれ電氣的に接続される。ここで、内部回路の入力／出力端子に接続されたほうを外部電極 3903 a、内部接地電極に接続された方を外部電極 3903 b とする。

外部電極 3903 a、b は金属膜を積層体 3902 の側面の特定個所に塗布することにより形成され、いずれの外部電極も、積層体 3902 の最上面から最底面にかけて幅広い面積で形成される。

しかしながら図 3 に示すような従来の構成では、複数の回路が存在する積層電子部品の側面に、外部電極として、入力電極及び出力電極及び接地電極が存在することになるため、積層電子部品側面に形成されるこれら外部電極が複数個となり、接地電極の占める面積が小さくなる。したがって、これら複数の外部電極だけでは接地電極の面積を十分に確保できず、電氣的な接地強度が弱くなるという課題があった。

尚、ここで、接地電極は、積層電子部品が搭載される予定のマザー基板（図示省略）上の所定の接地面と、半田等により接続するための電極である。

一方、図 23 に示す従来の積層電子部品においては、内部回路の入力／出力端子に電氣的に接続される外部電極 3903a と、内部接地電極に電氣的に接続される外部電極 3903b とはほぼ同様の形状で、積層体 3902 の最上面から最底面にかけて幅広い面積で形成されていた。

そのため、特に内部回路の入力／出力端子に電氣的に接続される外部電極 3903a の面積が大きい場合、外部電極 3903 の内、特に外部電極 3903a にコンダクタンス成分あるいはインダクタンス成分の寄生成分が生じ、高周波領域での使用においては、特性劣化につながるという課題があった。

特に、図 3、図 23 に示す上記従来の積層電子部品を、1GHz 以上の入力信号を扱う積層フィルタ等として使用したとすると、フィルタ回路等の高周波特性、即ち、高周波領域における周波数の選択特性が劣化するという課題を有していた。

## 発明の開示

本発明は上記従来の積層電子部品のこのような課題を考慮して、接地電極が十分確保でき、接地強度の強化が図れる積層電子部品を提供することを目的とする。

又、本発明は上記従来の積層電子部品のこのような課題を考慮し、高周波領域における周波数の選択性に優れた積層電子部品を提供することを目的とする。

第 1 の本発明（請求項 1 記載の本発明に対応）は、一方の主面に第 1 のシールド電極が設けられた誘電体層 A と、

前記誘電体層 A に対して、間接的に積層された誘電体層であって、一方の主面に第 2 のシールド電極が設けられた誘電体層 C と、

少なくとも一方の主面が外部に露出している誘電体層Dと、

前記誘電体層Aと前記誘電体層Cとの間に積層された、内部回路を含む誘電体層Bと、

前記誘電体層Aの他方の主面、または前記誘電体層Dの前記一方の主面に設けられた第1の接地電極とを備え、

前記誘電体層Aと前記誘電体層Dの少なくとも一方の誘電体層にはビアホールが設けられており、

前記第1のシールド電極と前記第2のシールド電極が、電氣的に接続されており、

前記第1の接地電極と前記第1のシールド電極とが、前記誘電体層Aに設けられたビアホールを介して電氣的に接続されているか、又は、前記第1の接地電極と前記第2のシールド電極とが、前記誘電体層Dに設けられたビアホールを介して電氣的に接続されている積層電子部品である。

又、第2の本発明（請求項2記載の本発明に対応）は、前記積層電子部品の側面に設けられた、前記第1のシールド電極と前記第2のシールド電極とを前記電氣的に接続するための端面電極を備えた上記第1の本発明の積層電子部品である。

又、第3の本発明（請求項3記載の本発明に対応）は、前記誘電体層Bには、前記内部回路として、共振器電極が含まれており、

前記積層電子部品は、前記共振器電極に接続された第1の端子電極を備え、

前記端面電極は、前記積層電子部品が搭載される予定の基板上の所定の接地面に接続するための第2の接地電極であり、

前記第1の端子電極は、前記第2の接地電極で取り囲まれるように、又は、前記第2の接地電極と電氣的に接続されて、前記誘電体層A～誘電体層Dの側面部

に設けられている上記第2の本発明の積層電子部品である。

又、第4の本発明（請求項4記載の本発明に対応）は、前記誘電体層Bには、前記内部回路として、前記共振器電極の一部と対向して設けられた結合電極が更に含まれており、

前記積層電子部品は、前記結合電極に接続された第2の端子電極を備え、

前記第2の端子電極は、（1）前記誘電体層Aの前記他方の主面および／または誘電体層Dの前記一方の主面上に、前記第1の接地電極と電気的に接続しないように形成され、且つ、（2）前記ビアホールとは異なるビアホールを介して前記結合電極と電気的に接続されている上記第3の本発明の積層電子部品である。

又、第5の本発明（請求項5記載の本発明に対応）は、前記共振器電極は、伝送線路にて構成された上記第3の本発明の積層電子部品である。

又、第6の本発明（請求項6記載の本発明に対応）は、前記第1の接地電極は網目状、帯状もしくは蜂の巣状のいずれかに形成されている上記第1の本発明の積層電子部品である。

又、第7の本発明（請求項7記載の本発明に対応）は、前記結合電極は、伝送線路にて構成されている上記第4の本発明の積層電子部品である。

又、第8の本発明（請求項8記載の本発明に対応）は、前記結合電極は、伝送線路にて構成された段間結合コンデンサ電極である上記第4の本発明の積層電子部品である。

又、第9の本発明（請求項9記載の本発明に対応）は、上記第7の本発明の積層電子部品を用いた送信フィルタと、

上記第8の本発明の積層電子部品を用いた受信フィルタと、  
を備えた積層共用器である。

又、第 10 の本発明（請求項 10 記載の本発明に対応）は、上記第 1 の本発明の積層電子部品を用いた積層フィルタおよび／または上記第 9 の本発明の積層共用器を備えた通信機器である。

以上のような構成では、例えば、最底面または最上面の誘電体層にビアホールを形成し、シールド電極と接地電極とをビアホールを通じて接続することにより、積層電子部品の本体側面の外部電極の有無に関わらず、大きな接地面積を確保することが出来、接地強度を強化することが出来る。

又、第 11 の本発明（請求項 11 記載の本発明に対応）は、前記内部回路に接続され、前記積層電子部品の底面から最上面に向う第 1 の高さを有した外部端子電極を備え、

前記端面電極は、（1）前記積層電子部品が搭載される予定の基板上の所定の接地面に接続するための第 2 の接地電極であり、且つ、（2）前記積層電子部品の底面から最上面に向う第 2 の高さを有しており、

前記第 1 の高さとは前記第 2 の高さは、互いに異なる上記第 2 の本発明の積層電子部品である。

又、第 12 の本発明（請求項 12 記載の本発明に対応）は、前記外部端子電極の前記積層体最底面からの前記第 1 の高さは、前記第 2 の接地電極の前記積層体底面部からの前記第 2 の高さより低い上記第 11 の本発明の積層電子部品である。

又、第 13 の本発明（請求項 13 記載の本発明に対応）は、前記第 2 の接地電極は、前記積層体の最上面と最底面とに引き延ばされて設けられている上記第 12 の本発明の積層電子部品である。

又、第 14 の本発明（請求項 14 記載の本発明に対応）は、前記第 2 の接地電極に接続された外部シールド電極を備え、



前記外部シールド電極は、前記積層体の最上面に設けられた上記第 11 の本発明の積層電子部品である。

又、第 15 の本発明（請求項 15 記載の本発明に対応）は、前記シールド電極に接続された引き出し側面電極を備え、

前記引き出し側面電極は、少なくとも前記積層体の最上面から前記積層体側面の前記外部端子電極が形成されている領域に渡って設けられており、

、前記積層体側面に設けられた部分は、前記積層体最低面からみて、前記外部端子電極の高さよりも高いところに配置されている上記第 11 の本発明の積層電子部品である。

又、第 16 の本発明（請求項 16 記載の本発明に対応）は、前記引き出し側面電極は、前記外部シールド電極に接続されている上記第 11 の本発明の積層電子部品である。

又、第 17 の本発明（請求項 17 記載の本発明に対応）は、前記外部端子電極の両側に前記第 2 の接地電極が配置されている上記第 11 の本発明の積層電子部品である。

又、第 18 の本発明（請求項 18 記載の本発明に対応）は、前記外部端子電極を複数備え、

前記第 2 の接地電極は、前記外部端子電極間に配置されている上記第 11 の本発明の積層電子部品である。

又、第 19 の本発明（請求項 19 記載の本発明に対応）は、前記引き出し側面電極は、前記第 2 の接地電極の少なくとも 1 つに接続されている上記第 15、17 又は 18 の本発明の積層電子部品である。

又、第 20 の本発明（請求項 20 記載の本発明に対応）は、前記外部端子電極

と、前記外部端子電極の隣に配置される前記第 2 の接地電極との間隔は、前記外部端子電極の電極幅以上である上記第 1 7 又は 1 8 の本発明の積層電子部品である。

又、第 2 1 の本発明（請求項 2 1 記載の本発明に対応）は、前記外部端子電極および前記第 2 の接地電極は、前記積層体に埋設されているか、又は、前記積層体外部に露出している上記第 1 1 の本発明の積層電子部品である。

又、第 2 2 の本発明（請求項 2 記載の本発明に対応）は、前記誘電体層は、結晶相とガラス相とを含み、

前記結晶相が、 $\text{Al}_2\text{O}_3$ 、 $\text{MgO}$ 、 $\text{SiO}_2$  及び  $\text{RO}$ 。（ $\text{R}$  は  $\text{La}$ 、 $\text{Ce}$ 、 $\text{Pr}$ 、 $\text{Nd}$ 、 $\text{Sm}$  及び  $\text{Gd}$  から選ばれる少なくとも 1 つの元素であり、 $a$  は前記  $\text{R}$  の価数に応じて化学量論的に定まる数値）のうち少なくとも 1 つを含有する上記第 1 1 の本発明の積層電子部品である。

又、第 2 3 の本発明（請求項 2 3 記載の本発明に対応）は、前記誘電体層は、 $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_6$  を主成分として含む上記第 1 1 の本発明の積層電子部品である。

又、第 2 4 の本発明（請求項 2 4 記載の本発明に対応）は、上記第 1 1 の本発明の積層電子部品を用いたことを特徴とする通信機器である。

以上のような本発明の積層電子部品は、例えば、少なくとも 1 つの内部回路の入力／出力端子に接続される外部電極の高さが少なくとも 1 つのシールド電極（内部接地電極）に接続される外部接地電極の高さより低くすることを特徴とする。

又、第 2 6 の本発明（請求項 2 6 記載の本発明に対応）は、複数の誘電体シートを積層して一体化した積層体と、

前記積層体内の複数の誘電体シートの主面上に設けられた内部回路と、  
前記積層体内の複数の誘電体シートの主面上に設けられた接地電極と、  
前記積層体の全部または一部を貫通して、前記複数の誘電体シートの主面上に  
設けられた接地電極をそれぞれ電氣的に接続する第 1 のビアホールと、

前記積層体の全部または一部を貫通して、前記複数の誘電体シートの主面上に  
設けられた内部回路をそれぞれ電氣的に接続する第 2 のビアホールと、  
前記第 2 のビアホールと電氣的に接続された、入力端子および出力端子とを備  
えた積層電子部品であって、

前記接地電極の少なくとも 1 つは、前記誘電体層の最下層および／または最上  
層の誘電体シートの主面上から外部に露出した露出接地電極として設けられてお  
り、

前記入力電極と前記出力電極とは、前記露出接地電極が設けられた面と同一の  
面に、該露出接地電極を間に挟んで設けられていることを特徴とする積層電子部  
品である。

又、第 27 の本発明（請求項 27 記載の本発明に対応）は、前記露出接地電極  
以外の前記接地電極は、該積層電子部品の外部に露出する部分を持たないことを  
特徴とする上記第 26 の本発明の積層電子部品である。

又、第 28 の本発明（請求項 28 記載の本発明に対応）は、前記複数の誘電体  
シートは、少なくとも第 1 の誘電体シートと第 2 の誘電体シートとを有し、

前記複数の接地電極は、少なくとも前記第 1 の誘電体シートの主面上に設けら  
れた第 1 の接地電極と、前記第 2 の誘電体シートの主面上に設けられた第 2 の接  
地電極とを有し、

前記第 2 の誘電体シートは、前記第 1 の接地電極と前記第 2 の接地電極との間

に配置されており、

前記第 1 のビアホールは、前記第 1 の誘電体シートおよび／または前記第 2 の誘電体シートを少なくとも貫通して前記第 1 および第 2 の接地電極を電氣的に接続することを特徴とする上記第 26 の本発明の積層電子部品である。

又、第 29 の本発明（請求項 29 記載の本発明に対応）は、前記第 2 の誘電体シートは、前記第 1 の誘電体シートより上層に設けられたことを特徴とする上記第 28 の本発明の積層電子部品である。

又、第 30 の本発明（請求項 30 記載の本発明に対応）は、前記第 1 の誘電体シートと、前記第 2 の誘電体シートとの間には、前記内部回路が主面上に設けられた少なくとも 1 つの誘電体シートが配置されていることを特徴とする上記第 29 の本発明の積層電子部品である。

又、第 31 の本発明（請求項 31 記載の本発明に対応）は、前記第 1 の誘電体シートと前記第 2 の誘電体シートとは直接積層されていることを特徴とする上記第 29 の本発明の積層電子部品である。

又、第 32 の本発明（請求項 32 記載の本発明に対応）は、前記複数の誘電体シートは、少なくとも第 3 の誘電体シートを有し、

前記複数の接地電極は、少なくとも前記第 3 の誘電体シートの主面上に設けられた第 3 の接地電極を有し、

前記第 1 のビアホールは、前記第 3 の誘電体シートを少なくとも貫通して前記第 3 の誘電体シートと前記露出接地電極とを電氣的に接続することを特徴とする上記第 26 の本発明の積層電子部品である。

又、第 33 の本発明（請求項 33 記載の本発明に対応）は、前記第 3 の誘電体シートと、前記露出接地電極が設けられた誘電体シートとの間には、前記内部回

路が主面上に設けられた少なくとも1つの誘電体シートが配置されていることを特徴とする上記第32の本発明の積層電子部品である。

又、第34の本発明（請求項34記載の本発明に対応）は、前記第3の誘電体シートと前記露出接地電極が設けられた誘電体シートとは同一の誘電体シートであることを特徴とする上記第32の本発明の積層電子部品である。

又、第35の本発明（請求項35記載の本発明に対応）は、前記誘電体シートの厚みは5～50  $\mu\text{m}$ であることを特徴とする上記第26の本発明の積層電子部品である。

又、第36の本発明（請求項36記載の本発明に対応）は、前記誘電体シートは結晶相とガラス相とから少なくともなり、

前記結晶相が $\text{Al}_2\text{O}_3$ 、 $\text{MgO}$ 、 $\text{SiO}_2$ 及び $\text{RO}$ （ $\text{R}$ は、 $\text{La}$ 、 $\text{Ce}$ 、 $\text{Pr}$ 、 $\text{Nd}$ 、 $\text{Sm}$ 及び $\text{Gd}$ から選ばれる少なくとも1つの元素であり、 $a$ は前記 $\text{R}$ の価数に応じて化学量論的に定まる数値）のうち少なくとも1つを含有することを特徴とする上記第26の本発明の積層電子部品である。

又、第37の本発明（請求項37記載の本発明に対応）は、前記誘電体シートは、 $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_6$ を含むことを特徴とする上記第26の本発明の積層電子部品である。

又、第38の本発明（請求項38記載の本発明に対応）は、上記第26ないし37のいずれかの本発明の積層電子部品を実装したことを特徴とする高周波無線機器である。

以上のような本発明の積層電子部品は、例えば、複数の誘電体シートを積層して一体化した積層体と、前記積層体の内層に入力電極及び出力電極を備える複数の内部回路と複数の接地電極とが介在する電子部品であって、前記電子部品の底

面に第 1 の接地電極を形成し、前記電子部品の内層に第 2 の接地電極を形成するとともに、前記第 1 の接地電極と前記第 2 の接地電極を少なくとも 2 つ以上のビアホールを介して接続するという構成を備えたものである。

#### 図面の簡単な説明

第 1 図は、本発明の実施の形態 1 における積層電子部品の分解斜視図である。

第 2 図は、本発明の実施の形態 1 における積層電子部品の等価回路図である。

第 3 図は、従来の積層電子部品の分解斜視図である。

第 4 図は、本発明の実施の形態 2 における積層電子部品の分解斜視図である。

第 5 (a) 図は、実施の形態 1 における積層電子部品とマザー基板との接続状態を示す模式図である。

第 5 (b) 図は、実施の形態 2 における積層電子部品とマザー基板との接続状態を示す模式図である。

第 6 図は、実施の形態 1 の積層電子部品の表層にチップ部品を実装した状態を示す斜視図である。

第 7 図は、実施の形態 2 の積層電子部品の表層にチップ部品を実装した状態を示す斜視図である。

第 8 図は、本発明の実施の形態 B 1 による積層フィルタの分解斜視図である。

第 9 図は、本発明の実施の形態 B 1 による積層フィルタの等価回路図である。

第 10 図は、本発明の実施の形態 B 2 による積層フィルタの分解斜視図である。

第 11 図は、本発明の実施の形態 B 2 による積層フィルタの等価回路図である。

第 12 図は、本発明の実施の形態 B 1 の構成に実施の形態 C 1 の構成を適用した積層フィルタの一例を説明するための分解斜視図である。

第 1 3 図は、本発明の実施の形態 B 1 の構成に実施の形態 C 2 の構成を適用した積層フィルタの一例を説明するための分解斜視図である。

第 1 4 図は、本発明における実施の形態 C 1 の積層電子部品図である。

第 1 5 図は、本発明における実施の形態 C 1 の積層電子部品における別の形態図である。

第 1 6 図は、本発明における実施の形態 C 2 の積層電子部品図である。

第 1 7 図は、本発明における実施の形態 C 2 の積層電子部品の分解斜視図である。

第 1 8 図は、本発明における実施の形態 C 2 の積層電子部品の内部回路の等価回路図である。

第 1 9 図は、本発明における実施の形態 C 2 の積層電子部品における別の形態図である。

第 2 0 図は、本発明における実施の形態 C 2 の積層電子部品図である。

第 2 1 (a) 図は、本発明の実施の形態 C 1 ～ C 3 における外部電極概略図である。

第 2 1 (b) 図は、本発明の実施の形態 C 1 ～ C 3 における外部電極の別の概略図である。

第 2 1 (c) 図は、本発明の実施の形態 C 1 ～ C 3 における外部電極の別の概略図である。

第 2 2 図は、本発明の実施の形態 B 1 の積層フィルタの変形例を示す分解斜視図である。

第 2 3 図は、従来の積層電子部品の斜視図である。

(符号の説明)

101、102、103、104、105、106、107、108 誘電体層

301、302、303、304、305、306、307、308 誘電体層

401、402、403、404、405、406、407 誘電体層

109、112、118、120 接地電極

309、315、317 接地電極

409、417、419 接地電極

121、122、123、124、125、126 ビアホール

420、421、422、423 ビアホール

110、111、320、321、410、411、424 外部電極

113、117、119、310、314、316 コンデンサ電極

412、416、418 コンデンサ電極

114、115、311、312、413、414 ストリップライン

C1、C2、C3 キャパシタンス

L1、L2 インダクタンス

2101 誘電体層

2102 シールド電極

2103 共振器電極

2104、2105 コンデンサ電極

2106、2107 端面電極

2108 接地電極



- 2 1 0 9    ビアホール電極
- 3 1 0 1    積層電子部品
- 3 1 0 2    積層体
- 3 1 0 3    外部端子電極
- 3 1 0 4    外部接地電極
- 3 2 0 1    積層電子部品
- 3 2 0 2    積層体
- 3 2 0 3    外部端子電極
- 3 2 0 4    外部接地電極
- 3 2 0 5    引き出し側面電極
- 3 2 0 6    外部シールド電極
- 3 3 0 1    積層電子部品
- 3 3 0 2    積層体
- 3 3 0 3 a   外部入力端子電極
- 3 3 0 3 b   外部出力端子電極
- 3 3 0 4    外部接地電極
- 3 3 0 5 a   引き出し側面電極
- 3 3 0 5 b   引き出し側面電極
- 3 4 0 1    第1の誘電体層
- 3 4 0 2    第2の誘電体層
- 3 4 0 3    第3の誘電体層
- 3 4 0 4    第4の誘電体層
- 3 4 0 5    第5の誘電体層

- 3 4 0 6 第 6 の誘電体層
- 3 4 0 7 第 7 の誘電体層
- 3 4 0 8 第 8 の誘電体層
- 3 4 0 9 内部接地電極
- 3 4 1 0 コンデンサ電極
- 3 4 1 1 ストリップライン
- 3 4 1 2 ストリップライン
- 3 4 1 3 接続点
- 3 4 1 4 コンデンサ電極
- 3 4 1 5 内部接地電極
- 3 4 1 6 コンデンサ電極
- 3 4 1 7 内部接地電極
- 3 4 1 8 接続点
- 3 4 1 9 接続点
- 3 5 0 1 内部回路の入力／出力端子に接続される第 1 の外部電極
- 3 5 0 2 内部回路の入力／出力端子に接続される第 2 の外部電極
- 3 5 0 3 シールド電極に接続される外部電極
- 3 6 0 1 a 接続電極
- 3 6 0 1 b 接続電極
- 3 6 0 2 外部シールド電極
- 3 7 0 1 積層電子部品
- 3 7 0 2 積層体
- 3 7 0 3 a 外部入力端子電極

3 7 0 3 b 外部出力端子電極

3 7 0 4 外部接地電極

3 7 0 5 a 引き出し側面電極

3 7 0 5 b 引き出し側面電極

3 7 0 6 接続電極

3 7 0 7 外部シールド電極

3 8 0 1 積層電子部品

3 8 0 2 積層体

3 8 0 3 a 外部電極

3 8 0 3 b 外部電極

3 8 0 3 c 外部電極

3 9 0 1 積層型電子部品

3 9 0 2 積層体

3 9 0 3 外部電極

3 9 0 4 外部電極

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態 1)

本発明の実施の形態 1 の積層電子部品について、図面を参照しながら説明する。

図 1 は本発明の実施の形態 1 における積層電子部品の分解斜視図を示すものである。図 1 に示すように本発明の積層電子部品は誘電体層 1 0 1 から誘電体層 1 0 8 までが順に積層され、それぞれの誘電体層は比誘電率  $\epsilon_r = 7$ 、誘電損失  $t$

$\alpha \cdot n \cdot \delta = 2.0 \times 10^{-4}$ である結晶相とガラス相からなる誘電体シートである。

誘電体層 101 の底面には接地電極 109 と、回路の入力電極 110、出力電極 111 が配置され、誘電体層 101 の上面には接地電極 112 が配置されている。

また、誘電体層 102 にはコンデンサ電極 113 が配置され、誘電体層 103 にはストリップライン 114 とストリップライン 115 が配置され、接続点 116 で接続されている。

誘電体層 104、105、106、107 にはそれぞれコンデンサ電極 117、接地電極 118、コンデンサ電極 119、接地電極 120 が配置されている。

さらに、接地電極 112 はビアホール 121、122、123 を介して接地電極 109 に接続され、接地電極 118、120 はそれぞれビアホール 122、123 を介して接地電極 112 に接続されている。

また、ストリップライン 114 の一端とコンデンサ電極 113 はビアホール 124 を介して入力電極 110 に接続されている。

コンデンサ電極 119 はビアホール 125 を介して接続点 116 に接続され、コンデンサ電極 117 とストリップライン 115 の一端はビアホール 126 を介して出力電極 111 に接続されている。

ただし、上記の説明に関し、図におけるビアホールの位置は、簡単のため原則として分解斜視図上の点線にて模式的に示した。これは以下の各実施の形態も同様である。

以上のように構成された本実施の形態 1 による積層電子部品について、以下図 1 及び図 2 を用いてその動作を説明する。

まず、図 2 は図 1 の積層電子部品の等価回路を示しており、図 1 に対応する素

子は同じ素子番号を用いて示した。

図2において、キャパシタンスC1はコンデンサ電極113と接地電極110の間に形成され、キャパシタンスC2はコンデンサ電極117と接地電極118の間に形成される。

また、キャパシタンスC3はコンデンサ電極119と接地電極120の間に形成され、インダクタンスL1、L2はそれぞれストリップライン114、115によって形成される。

また、入力電極110に直列にL1、並列にC1が接続され、出力電極111に直列にL2、並列にC3が接続されており、接続点116において直列にL1、L2、並列にC2が接続されている。

これにより、図1の積層電子部品は、5段のローパスフィルタを構成していることがわかる。

ここで、キャパシタンスC2、C3を形成している接地電極118、120はビアホール122、123を介してキャパシタンスC1を形成している接地電極110に接続され、接地電極112はさらにビアホール121、122、123を介して接地電極109に接続される。

すなわち、積層電子部品内層に配置された接地電極109、112、118、120はビアホール121、122、123を介してすべてが積層電子部品内部で接続され、さらに接地電極の外部電極として、積層電子部品底面に形成された接地電極109が用いられる。

また、ローパスフィルタの入力電極110、出力電極111はその電極間に接地電極109の一部が存在するように配置されている。

以上のように、本発明の実施の形態1における積層電子部品によれば、積層電

子部品底面において従来と比較して広い面積の接地電極 109 の形成が可能となる。

したがって、従来の積層電子部品側面に接地電極及び回路の入力電極及び出力電極を設けるという構成に比べて、実装基板との接地面積が広くなるため電気的な接地強度が強化される。

これにより、高周波における特性劣化を防止し、積層電子部品内部回路の特性を安定化することが可能となる。

特に、本実施の形態の積層電子部品を、1GHz 以上の入力信号を扱う積層フィルタ等として使用した場合、フィルタ回路等の高周波特性、即ち、高周波領域における周波数の選択特性の劣化を防止することが出来るという効果を発揮する。

また、入力電極 110、出力電極 111 の電極間に接地電極 109 が形成されている構成により、入力電極及び出力電極間の結合を防止でき、アイソレーション特性が強化されることになる。

さらに、外部電極 109、110、111 が積層電子部品底面にのみ形成され、積層電子部品側面には外部電極が存在しないという構成により、積層電子部品側面に外部電極を形成する必要がなくなるため、積層母体から積層電子部品個片への切断時に、積層母体切断面すなわち積層電子部品側面の平坦度の精度が求められない。

また、積層電子部品底面のみに外部電極を有するので、BGA (Ball Grid Array) や LGA (Land Grid Array) 方式の端子形成が可能となり、高密度実装が可能となる。さらに、外部電極形成工程が内部電極の印刷工程と同時に行うことが可能となり、製作工程の簡素化が図れコストダウンが可能となる。

なお、外部電極となる接地電極、入力電極および出力電極は積層電子部品の底面でなく上面に設けてもよいし、底面および上面の両方に設けるようにしても同様の効果が得られる。

なお、本発明の実施の形態 1 では、誘電体層 101 から誘電体層 108 として、比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる誘電体シートを例として述べたが、比誘電率  $\epsilon_r = 5 \sim 10$  である結晶相とガラス相からなる誘電体シートを用いても同様の効果が得られる。

また、比誘電率  $\epsilon_r = 50 \sim 100$  程度である  $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_5$  を主成分とする誘電体シートを用いても同様であり、誘電体シートの組成や誘電体シートの比誘電率および誘電損失に関わらず、同様の効果が得られる。

なお、本発明の実施の形態 1 では、ローパスフィルタの構成を例として述べたが、この構成はハイパスフィルタやバンドパスフィルタなど、さまざまなフィルタについても同様の効果が得られる。

#### (実施の形態 2)

本発明の実施の形態 2 の積層電子部品について、図面を参照しながら説明する。

図 4 は本発明の実施の形態 2 における積層電子部品の分解斜視図を示すものである。

図 4 に示すように本発明の積層電子部品は誘電体層 401 から誘電体層 407 までが順に積層され、それぞれの誘電体層は比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる誘電体シートである。

誘電体層 401 の底面には接地電極 409 と、回路の入力電極 410、出力電極 411 が配置され、誘電体層 401 の上面にはコンデンサ電極 412 が配置されている。

また、誘電体層 402 にはストリップライン 413 とストリップライン 414 が配置され、接続点 415 で接続されている。

誘電体層 403、404、405、406 にはそれぞれコンデンサ電極 416、接地電極 417、コンデンサ電極 418、接地電極 419 が配置されている。

さらに、接地電極 417、419 はビアホール 420 を介して接地電極 409 に接続されている。

また、ストリップライン 413 の一端とコンデンサ電極 412 はビアホール 421 を介して入力電極 410 に接続されている。

コンデンサ電極 418 はビアホール 422 を介して接続点 415 に接続され、コンデンサ電極 416 とストリップライン 414 の一端はビアホール 423 を介して出力電極 411 に接続されている。

また、接地電極 409、417、419 は積層電子部品側面に形成された外部電極 427 に接続されている。

以上のように、本発明の実施の形態 2 による積層電子部品では、本発明の実施の形態 1 とは異なり、積層電子部品底面に配置された接地電極 409 と積層電子部品内層に配置された接地電極 417、419 の間に複数のコンデンサ電極やストリップラインが配置されているが、この場合においても、本発明の実施の形態 1 と同様に積層電子部品底面において、従来と比較して広い面積の接地電極 409 の形成が可能となる。

したがって、従来の積層電子部品側面に接地電極及び回路の入力電極及び出力電極を設けるという構成に比べて、実装基板との接地面積が広がるため電氣的な接地強度が強化される。

また、すべての接地電極が積層電子部品内層においてビアホール 420 を介し



て接続されているだけでなく、積層電子部品側面においても外部電極 4 2 4 を介して接続されているという違いも存在するが、この構造により、本発明の実施の形態 1 と比べて、さらに電氣的な接地強度が強化される。

したがって、高周波における特性劣化を防止し、積層電子部品内部回路の特性を安定化することが可能となる。

特に、本実施の形態の積層電子部品を、1 G H z 以上の入力信号を扱う積層フィルタ等として使用した場合、フィルタ回路等の高周波特性、即ち、高周波領域における周波数の選択特性の劣化をより一層抑制することが出来るという効果を発揮する。

ここで、図 5 ( a ) 、図 5 ( b ) を用いて、上記 2 つの実施の形態で説明したそれぞれの積層電子部品が、マザー基板上に搭載される場合、そのマザー基板の接地面に、どの様に接続されるのかという点について簡単に述べる。

図 5 ( a ) 、図 5 ( b ) は、上記 2 つの実施の形態における、積層電子部品 1 5 0 2 , 1 5 0 4 をそれぞれ、マザー基板 1 5 0 1 上の接地面に、半田等により接合した様子を模式的に示す側面図である。尚、半田の厚み等は、説明のために誇張して図示している。

実施の形態 1 で述べた積層電子部品 1 5 0 2 は、図 5 ( a ) に示す様に、マザー基板 1 5 0 1 の接地面と、接地電極 1 0 9 において半田 1 5 0 3 等により電氣的に接続されている。又、実施の形態 2 で述べた積層電子部品 1 5 0 4 は、図 5 ( b ) に示す様に、マザー基板 1 5 0 1 の接地面と、接地電極 4 0 9 において半田 1 5 0 5 等により電氣的に接続されている。

また、本発明の実施の形態 1 と同様に、入力電極 4 1 0 、出力電極 4 1 1 の電極間に接地電極 4 0 9 が形成されている構成により、入力電極及び出力電極間の

結合を防止でき、アイソレーションが強化されることになる。

なお、本発明の実施の形態2では、誘電体層101から誘電体層108として、比誘電率 $\epsilon_r = 7$ 、誘電損失 $\tan \delta = 2.0 \times 10^{-4}$ である結晶相とガラス相からなる誘電体シートを例として述べたが、比誘電率 $\epsilon_r = 5 \sim 10$ である結晶相とガラス相からなる誘電体シートを用いても同様の効果が得られる。

また、比誘電率 $\epsilon_r = 50 \sim 100$ 程度である $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_5$ を主成分とする誘電体シートを用いても同様であり、誘電体シートの組成や誘電体シートの比誘電率および誘電損失に関わらず、同様の効果が得られる。

なお、本発明の実施の形態2では、ローパスフィルタの構成を例として述べたが、実施の形態1と同様、この構成はハイパスフィルタやバンドパスフィルタなどさまざまなフィルタについても同様の効果が得られる。

また、本発明の各実施の形態による積層電子部品をフィルタとして高周波無線機器に用いると、BGAなどの底面実装を用いることにより、基板への高密度実装が可能となるため、高周波無線機器の小型化が実現できる。また、実装基板との設置面積が広いことから、抗折強度が強化され、落下試験などによる信頼性の向上に繋がる効果が得られる。

又、図6、7に示す様に、上記実施の形態の積層電子部品の表層に、スイッチ等のチップ部品を実装しても良い。

即ち、図6は、実施の形態1の積層電子部品1502の表層にチップ部品1601を実装した状態を示す斜視図である。積層電子部品1502の表層及び側面に設けられた外部電極1602は、チップ部品1601と、マザー基板（図示量略）上の所定の電極パターンとを電氣的に接続するための電極である。

実施の形態1の積層電子部品1502では、その側面に積層電子部品自体の電

極が存在しないので、チップ部品 1 6 0 1 の接続に必要な電極を自由に配置できるという効果を発揮する。

又、図 7 は、実施の形態 2 の積層電子部品 1 5 0 4 の表層にチップ部品 1 6 0 1 を実装した状態を示す斜視図である。積層電子部品 1 5 0 4 の表層に設けられた外部電極 1 7 0 1 は、チップ部品 1 6 0 1 の裏面に設けられた外部端子（図示省略）と接続するための電極である。

又、積層電子部品 1 5 0 4 の内部を貫通するように設けられたビアホール 1 7 0 2 は、マザー基板（図示省略）上の所定の電極パターンと、外部電極 1 7 0 1 とを電氣的に接続するための電極である。

実施の形態 2 の積層電子部品 1 5 0 4 の様に、その側面に自身の電極が存在している場合でも、ビアホールを用いて、マザー基板に対するチップ部品 1 6 0 1 の接続を可能にするという効果を発揮する。

又、図 6 と図 7 とを組み合わせた構成であっても良い。即ち、その場合、チップ部品 1 6 0 1 の一部の端子と、マザー基板上の所定の電極パターンとが、図 6 に示す様な外部電極 1 6 0 2 により接続され、且つ、チップ部品 1 6 0 1 の他の端子と、マザー基板上の別の電極パターンとが、図 7 に示す様なビアホール 1 7 0 2 を介して接続されている。

更に、チップ部品 1 6 0 1 の別の端子が、上記積層電子部品の内部回路と上記外部電極や上記ビアホールなどにより電氣的に接続されている構成であっても勿論良い。

尚、本発明の接地電極は、上記各実施の形態における接地電極 1 0 9（図 1）、接地電極 4 0 9（図 4）に対応する。

又、本発明の第 1 のシールド電極は、接地電極 1 1 2（図 1）や、接地電極 4

17（図4）に対応し、本発明の第2のシールド電極は、接地電極120、118（図1）や、接地電極419（図4）に対応する。又、本発明の端面電極は、外部電極424（図4）に対応する。

尚、図1等にした積層電子部品では、上記本発明の接地電極に対応する電極109等を、露出接地電極と呼び、又、本発明の第1又は第2のシールド電極に対応する電極112、118、120等を、内部接地電極などと呼ぶこともある。

又、これらの電極は、シールド機能と接地機能の双方の機能を明確に区別することが困難な場合もある。

以上のように本発明によれば、積層電子部品底面または上面において従来と比較して広い面積の接地電極の形成が可能となり、実装基板との接地面積が広くなるため電氣的な接地強度が強化される。

これにより、高周波における特性劣化を防止し、積層電子部品内部回路の特性を安定化することが可能となる積層電子部品を提供することができる。

また、積層電子部品の底面または上面に形成された接地電極をはさんで回路の入力電極及び出力電極を形成することにより、入力電極及び出力電極間の結合を防止でき、アイソレーション特性が強化された積層電子部品を提供することができる。

#### （実施の形態B1）

図8は本発明の実施の形態B1における積層フィルタの分解斜視図を示すものである。

図8において、2101は誘電体層、2102はシールド電極、2103は共振器電極、2104、2105はコンデンサ電極、2106、2107は端面電極、2108は接地電極、2109はビアホール電極を示している。

次に、この積層フィルタの積層構造について説明する。ただし図における上下前後方向は、図中矢印に基づき定めるものとする。

本実施の形態の積層フィルタは、第1の誘電体層2101aの上主面に第1のシールド電極2102aを配置し、下主面に接地電極2108を配置している。

また、第1のシールド電極2102aの上主面に第2の誘電体層2101bを積層し、さらに誘電体層2101bの上主面に2個の共振器電極2103a、2103bを配置している。

さらに、誘電体層2101bの上主面に第3の誘電体層2101cを積層し、誘電体層2101cの上主面に3個のコンデンサ電極2104a、2104b及び2105を配置している。

さらに、コンデンサ電極2104a、2104b及び2105の上側に第4の誘電体層2101dを積層し、その積層体層2101dの上主面に第2のシールド電極2102bを配置し、第2のシールド電極2102bの上側に第5の誘電体層2101eを積層している。尚、ここで積層された第1～第5の誘電体層を、まとめて誘電体と呼ぶ。

更に第1の誘電体層2101aには、上下主面を貫通するビアホールが開口され、それぞれのビアホールにはビアホール電極2109a、2109b及び2109c、2109dが配置しており、ビアホール電極第1のシールド電極2102aと接地電極2108とを電氣的に接続するようにしている。

このようにして本実施の形態の誘電体フィルタの積層構造は形成されている。

さらに、誘電体の各側面にも電極を設けており、以下説明を行う。誘電体の前面に端面電極2106aを、誘電体の後面に端面電極2106dを設け、又、誘電体の右側面に端面電極2106b、2106cを、誘電体の左側面に端面電極

2106e、2106fを設けている。

また誘電体の左側面には、端面電極2106fと2106cとの間に、さらに端面電極2107aを設け、又、誘電体の右側面には、端面電極2106bと2106cとの間に、さらに端面電極2107bを設けている。

次に、これらの端面電極と各誘電体層上に形成された電極との接続関係について説明する。

第1のシールド電極2102aと、誘電体層2101bの後面側の短絡端2103cと、第2のシールド電極2102bとが、端面電極2106dで接続されている。尚、ここで、共振器電極2103a、2103bは、短絡端2103cにおいて共に接続されている。

尚、図5(b)で述べた様に、端面電極2106dは、半田等を用いて、図8に示す本実施の形態の積層フィルタが実装される予定のマザー基板上の接地パターン電極と電氣的に接続されることになる。

又、コンデンサ電極2104aと端面電極2107aとを接続し、コンデンサ電極2104bと端面電極2107bを接続している。また、第1のシールド電極2102aと、第2のシールド電極2102bとを端面電極2106aで接続している。

尚、端面電極2106aは、上述した端面電極2106dと同様に、マザー基板の接地パターン電極と電氣的に接続されることになる。

また、第1のシールド電極2102aと第2のシールド電極2102bとを端面電極2106b、2106c、2106e、及び2106fで接続しており、ここで端面電極2106aは2106b、2106fに、2106dは2106c、2106eにそれぞれ接続している。

また、接地電極 2108 は、第 1 のシールド電極 2102a と、ビアホール電極 2109a、2109b 及び 2109c、2109d を通じてそれぞれ接続している。

ここで図 9 に本発明の実施の形態 B1 による積層フィルタの等価回路を示す。以下、図 8、及び図 9 の等価回路を参照して、本発明の実施の形態 B1 による積層フィルタの動作を説明する。

共振器電極 2103a、2103b は、端面電極 2106d を介して接地されているので 4 分の 1 波長共振器として作用する。コンデンサ電極 2105 は、共振器電極 2103a の一部と共振器電極 2103b の一部に対向して配置され、段間結合コンデンサとして作用するコンデンサ 2205a、2205b を形成する。

また、これらのコンデンサ 2205a、2205b は、コンデンサ電極 2105 のうちの共振器電極 2103a、2103b と対向しない部分に相当する伝送線路 2204 で接続されている。

コンデンサ電極 2104a は共振器電極 2103a の一部に対向して配置され、コンデンサ電極 2104b は共振器電極 2103b の一部に対向して配置されて、入出力結合コンデンサ 2203a、2203b を形成する。

また、これらのコンデンサ 2203a、2203b は、端面電極 2107a、2107b に相当する伝送線路 2202a、2202b に接続されている。

このように、本実施の形態 B1 による誘電体フィルタは、バンドパスフィルタとして動作することが分かる。

以上のように、本実施の形態によれば、誘電体の最底面に位置する誘電体層にビアホールを形成し、シールド電極からビアホールを通じて接地電極と接続して

いることで、誘電体の底面全体で接地でき、急峻な減衰特性をもつバンドパスフィルタの実現ができる。

また、底面全体の接地電極で接地するために、抗折強度がより強くなり、落下試験においても従来の構造に比べ耐久性を増すことが可能となる。

なお、上記の説明においては、接地電極 2 1 0 8 は平板上であるとして説明を行ったが、接地電極を網目状、帯状もしくは蜂の巣状にすることにより、減衰特性はそのまま底面に偏った電極によるソリを低減できる。

また、接地電極は誘電体の最低面に設けるものとして説明を行ったが、これは最上面としてもよく、最低面の場合と同じようにしてシールド電極とビアホールで接続すればよい。

なお、本実施の形態では、2 段のバンドパスフィルタについて述べたが、この構成は 3 段以上のフィルタでも同様の効果が得られるものであり、この場合は誘電体層を 5 つ以上用いてもよい。

尚、本発明の誘電体層 A, C, D は、上記実施の形態の誘電体層 2 1 0 1 a、2 1 0 1 d、2 1 0 1 e にそれぞれ対応している。又、本発明の誘電体層 B は、誘電体層 2 1 0 1 b 及び／又は 2 1 0 1 c が対応する。又、本発明の内部回路には、共振器電極 1 0 3 (1 0 3 a ~ 1 0 3 c) 等が含まれる。

又、本発明の第 1 の接地電極は、接地電極 2 1 0 8 に対応し、又、本発明の第 2 の接地電極には、端面電極 2 1 0 6 a ~ 2 1 0 6 f が対応する。又、本発明の第 1 の端子電極は、端面電極 2 1 0 6 d に対応しており、本発明の第 2 の端子電極は、端面電極 2 1 0 7 a, b に対応している。

#### (実施の形態 B 2)

次に本発明の実施の形態 B 2 の積層フィルタについて、図面を参照しながら説



明する。

図10は本発明の実施形態における積層フィルタの分解斜視図を示すものである。

図10において、2301は誘電体層、2302はシールド電極、2303は共振器電極、2304は伝送線路電極、2305, 2306は端面電極、2307は接地電極、2308はビアホール電極を示している。

次に、この積層フィルタの積層構造について説明する。ただし図における上下前後方向は、図8と同様にして定めるものとする。

本実施の形態の積層フィルタは、第1の誘電体層2301aの上主面に第1のシールド電極2302aを配置し、下主面に接地電極2307を配置している。

また、第1のシールド電極2302aの上主面に第2の誘電体層2301bを積層し、さらに誘電体層2301bの上主面に2個の共振器電極2303a, 2303bを配置している。

さらに、誘電体層2301bの上主面に第3の誘電体層2301cを積層し、誘電体層2301cの上主面に伝送線路電極2304aを配置している。更に伝送線路電極2304aの上側に第4の誘電体層2301dを積層し、その積層体層2301dの上主面に第2のシールド電極2302bを配置している。

そして、第2のシールド電極2302bの上側に第5の誘電体層2301eを積層している。ここで積層された第1～第5の誘電体層をまとめて誘電体と呼ぶ。

更に第1の誘電体層2301aには、上下主面を貫通するビアホールが開口され、それぞれのビアホールにはビアホール電極2308a、2308b及び2308c、2308dが配置しており、第1のシールド電極2302aと接地電極2308とを電氣的に接続するようにしている。

このようにして本実施の形態の誘電体フィルタの積層構造は形成されている。

さらに、誘電体の各側面にも電極を設けており、以下説明を行う。

誘電体の前面に端面電極 2 3 0 5 a を、誘電体の後面に端面電極 2 3 0 5 d を設けている。誘電体の右側面に端面電極 2 3 0 5 b、2 3 0 5 c を、誘電体の左側面に端面電極 2 3 0 5 e、2 3 0 5 f を設けている。

また誘電体の左側面では、端面電極 2 3 0 5 f と 2 3 0 5 e との間に、さらに端面電極 2 3 0 6 a を設け、誘電体の右側面では、端面電極 2 3 0 5 b と 2 3 0 5 c との間に、さらに端面電極 2 3 0 6 b を設けている。

次に、これらの端面電極と各誘電体層上に形成された電極との接続関係について次に説明する。

第 1 のシールド電極 2 3 0 2 a と、共振器電極 2 3 0 3 a、2 3 0 3 b が共に接続された誘電体層 2 3 0 1 b の後面側の短絡端と、第 2 のシールド電極 2 3 0 2 b とを端面電極 2 3 0 5 d で接続して接地している。

又、伝送線路電極 2 3 0 4 の一端と端面電極 2 3 0 6 a とを接続し、伝送線路電極 2 3 0 4 の他端と端面電極 2 3 0 6 b とを接続している。また、第 1 のシールド電極 2 3 0 2 a と、第 2 のシールド電極 2 3 0 2 b とを端面電極 2 3 0 5 a で接続して接地している。

また、第 1 のシールド電極 2 3 0 2 a と第 2 のシールド電極 2 3 0 2 b とを端面電極 2 3 0 5 b、2 3 0 5 c、2 3 0 5 e、及び 2 3 0 5 f で接続している。

尚、ここで端面電極 2 3 0 5 a は 2 3 0 5 b、2 3 0 5 f に、2 3 0 5 d は 2 3 0 5 c、2 3 0 5 e にそれぞれ接続している。

また、接地電極 2 3 0 7 は、第 1 のシールド電極 2 3 0 2 a と、ビアホール電極 2 3 0 7 a、2 3 0 7 b 及び 2 3 0 7 c、2 3 0 7 d を通じてそれぞれ接続し

ている。

ここで図 11 に本発明の実施の形態 B 2 による積層フィルタの等価回路を示す。以下、図 10 及び図 11 の等価回路を参照して、本発明の実施の形態 B 2 による積層フィルタの動作を説明する。

共振器電極 2303a、2303b は、端面電極 2305d を介して接地されているので 4 分の 1 波長共振器として作用する。伝送線路電極 2304 は、共振器電極 2303a の一部と共振器電極 2303b の一部に対向して配置され、ノッチ容量として作用するコンデンサ 2401a、2401b を形成する。

また、これらのコンデンサ 2401a、2401b は、伝送線路電極 2304 のうちの共振器電極 2303a、2303b と対向しない部分に相当する伝送線路 2402a、2402b、2402c で接続されている。

このように、本実施の形態 B 2 による誘電体フィルタは、バンドストップフィルタとして動作することが分かる。

以上のように、本実施の形態によれば、誘電体の最底面の誘電体層にビアホールを形成し、シールド電極からビアホールを通じて接地電極と接続していることにより、誘電体の底面全体で接地でき、急峻な減衰特性をもつバンドストップフィルタの実現ができる。

また、底面全体の接地電極で接地するために抗折強度がより強くなり、落下試験においても従来の構造に比べ耐久性を増すことが可能となる。

なお、上記の説明においては、接地電極 2307 は平板上であるとして説明を行ったが、接地電極を網目状、帯状もしくは蜂の巣状にすることにより減衰特性はそのまま底面に偏った電極によるソリを低減できる。

また、接地電極は誘電体の最低面に設けるものとして説明を行ったが、これは

最上面としてもよく、最低面の場合と同じようにしてシールド電極とビアホールで接続すればよい。

なお、本実施の形態では、2段のバンドストップフィルタについて述べたが、この構成は3段以上のフィルタでも同様の効果が得られるものであり、この場合は誘電体層を5つ以上用いてもよい。

また、本発明の各実施の形態の積層フィルタを携帯電話等の通信機器の送信と受信の周波数を切り分けるアンテナ共用器として使用することにより、限られた大きさで所望の特性を実現でき、通信機器の小型化にも貢献することが可能になる。その場合（RXはBPF、TXはBEF）との構成にすれば更に効果が高い。

更に、本発明の各実施の形態の積層フィルタを携帯電話等の通信機器に使用することにより、抗折強度等の信頼性にもすぐれた構造が実現でき、通信機器の信頼性にも貢献することが可能になる。

又、本発明の積層電子部品は、上記実施の形態では、積層フィルタとして構成した場合について説明したが、これに限らず例えば、バランやカップラなど、フィルタ以外の他の電子部品であっても良い。

以上のように本発明によれば、誘電体層にビアホールを形成しシールド電極からビアホールを通じて接地電極と接続することにより、所望の減衰特性を有するとともに、信頼性にもすぐれたフィルタを提供できる。

又、上記実施の形態では、本発明の第1の端子電極の一例として、端面電極2106d等が、本発明の第2の接地電極に対応する端面電極2106c、2106eと電氣的に接続されている場合について説明したが、これに限らず例えば、第1の端子電極は、第2の接地電極で取り囲まれる様に、各誘電体層の側面に設けられていても良い。

尚、上記実施の形態では、結合電極（例えば、コンデンサー電極 2 1 0 4 a, 2 1 0 4 b）に接続された本発明の第 2 の端子電極が、例えば端面電極 2 1 0 7 a、2 1 0 7 b として積層電子部品の側面に設けられている場合（図 8 参照）について説明したが、これに限らず例えば、上記第 2 の端子電極が以下の様な構成であっても良い。

即ち、この場合、上記第 2 の端子電極は、（１）本発明の積層電子部品の前記誘電体層 A の前記他方の主面および／または前記誘電体層 D の前記一方の主面上に、前記第 1 の接地電極と電氣的に接続しないように形成され、且つ、（２）前記ビアホールとは異なるビアホールを介して前記結合電極と電氣的に接続されている。

尚、ここで、上記本発明の積層電子部品の構成は、例えば、一方の主面に第 1 のシールド電極が設けられた誘電体層 A と、

前記誘電体層 A に対して、間接的に積層された誘電体層であって、一方の主面に第 2 のシールド電極が設けられた誘電体層 C と、

少なくとも一方の主面が外部に露出している誘電体層 D と、

前記誘電体層 A と前記誘電体層 C との間に積層された、内部回路を含む誘電体層 B と、

前記誘電体層 A の他方の主面、または前記誘電体層 D の前記一方の主面に設けられた第 1 の接地電極とを備え、

前記誘電体層 A と前記誘電体層 D の少なくとも一方の誘電体層にはビアホールが設けられており、

前記第 1 のシールド電極と前記第 2 のシールド電極が、電氣的に接続されており、

前記第 1 の接地電極と前記第 1 のシールド電極とが、前記誘電体層 A に設けられたビアホールを介して電氣的に接続されているか、又は、前記第 1 の接地電極と前記第 2 のシールド電極とが、前記誘電体層 D に設けられたビアホールを介して電氣的に接続されている積層電子部品であって、前記誘電体層 B には、前記内部回路として、前記共振器電極の一部と対向して設けられた結合電極が更に含まれており、前記積層電子部品は、前記結合電極に接続された第 2 の端子電極を備えた構成である。

この様な構成による積層電子部品は、具体的には、図 2 2 に示す様に、第 2 の端子電極 2 1 1 1、2 1 1 0 が、(1) 誘電体層 2 1 0 1 a の下主面上に、第 1 の接地電極 2 1 0 8 と電氣的に接続しないように形成され、且つ、(2) ビアホール 2 1 0 9 a ~ 2 1 0 9 d とは異なるビアホール 2 1 2 6、2 1 2 4 を介してコンデンサ電極 2 1 0 4 a、2 1 0 4 b と電氣的に接続されている。その他の構成は、基本的に図 8 で示す構成と同じである。

図 2 2 に示す構成の積層電子部品によれば、内部回路のコンデンサ電極 2 1 0 4 a、b に接続される端面電極 2 1 1 1、2 1 1 0 のそれぞれの面積が、図 8 に示す端面電極 2 1 0 7 a、b のそれぞれの面積に比べて小さく出来る。

そのため、これらの端面電極（外部端子電極）に生じるコンダクタンス成分あるいはインダクタンス成分の寄生成分を抑制することが出来るという効果を発揮する。

更に又、端面電極 2 1 1 1、2 1 1 0 を、誘電体層 2 1 0 1 a の下主面上に設けることが出来、積層電子部品の側面において、各第 2 の接地電極（端面電極 2 1 0 6 b、c、e、f）を、電極 2 1 0 6 b と 2 1 0 6 c を一つにし、電極 2 1 0 6 e と 2 1 0 6 f を合体するという様に、各側面において、接地電極を一つに

まとめることが可能となり、電極の面積をより大きくすることが出来る。

これにより、接地電極の面積がより一層大きく出来るので、電氣的な接地強度がより一層強くなるという効果を發揮する。

(実施の形態C1)

図14は、本発明における実施の形態C1の積層電子部品の構成を示す図である。

図14において、本発明の実施の形態C1の積層電子部品3101は、複数の誘電体シートが積層されて成る積層体3102であって、積層体3102の内層には入力／出力端子を備える内部回路（図示せず）と内部接地電極（図示せず）とが介在する。

誘電体シートは比誘電率 $\epsilon_r = 7$ 、誘電損失 $\tan \delta = 2.0 \times 10^{-4}$ である結晶相とガラス相とからなる。積層体3102の側面には、内部回路の入力／出力端子に電氣的に接続される外部端子電極3103と内部接地電極に電氣的に接続される外部接地電極3104とが形成される。

このとき、内部回路の入力／出力端子に電氣的に接続される外部端子電極3103の高さは、内部接地電極に接続される外部接地電極3104の高さより低くなるよう形成されている。

即ち、外部接地電極3104は、積層体3102の側面において、積層体3102の最上面から最底面に渡って形成されている。又、外部端子電極3103は、積層体3102の側面において、中間部から最底面の間に形成されている。

外部端子電極3103と外部接地電極3104の横幅は、ここでは略同一としている。したがって、電極の高さの違いにより、外部端子電極3103の面積が従来のもものより小さくなる様に形成されている。

尚、外部端子電極 3 1 0 3 と外部接地電極 3 1 0 4 の横幅は、必ずしも同一出なくても良い。

以上のような構成とすることにより、本発明における実施の形態 C 1 の積層電子部品は、内部回路の入力／出力端子に電氣的に接続される外部端子電極のコンダクタンス成分あるいはインダクタンス成分の寄生成分による特性劣化を抑えることができる。

なお、本発明の積層電子部品は図 1 5 に示す構成であってもかまわない。

図 1 5 において、本発明の積層電子部品 3 2 0 1 は、複数の誘電体シートが積層されて成る積層体 3 2 0 2 であって、積層体の内層には入力／出力端子を内部回路（図示せず）と内部接地電極（図示せず）とが介在する。

積層体 3 2 0 2 の側面には、内部回路の入力／出力端子に電氣的に接続される外部電極 3 2 0 3 と内部接地電極に電氣的に接続される外部電極 3 2 0 4 とが形成される。内部回路の入力／出力端子に電氣的に接続される外部電極 3 2 0 3 の高さが内部接地電極に接続される外部接地電極 3 2 0 4 の高さより低く形成されている。

また、外部接地電極 3 2 0 4 は、積層体 3 2 0 2 の側面において、積層体 3 2 0 2 の最上面から最底面に渡って形成されている。又、外部端子電極 3 2 0 3 は、積層体 3 2 0 2 の側面において、中間部から最底面の間に形成されている。

又、外部端子電極 3 2 0 3 の上部の領域には積層体 3 2 0 2 の最上面から引き出し側面電極 3 2 0 5 が引き出されており、引き出し側面電極 3 2 0 5 は内部接地電極に接続される。

また、積層体 3 2 0 2 の最上面には外部シールド電極 3 2 0 6 が設けられており、外部接地電極 3 2 0 4 と引き出し側面電極 3 2 0 5 が接続される。



以上の構成とすることにより、本発明の積層電子部品は、入力／出力端子に電氣的に接続される外部端子電極のコンダクタンス成分あるいはインダクタンス成分の寄生成分による特性劣化を抑えるとともに、シールド効果を改善できる効果を有するものである。

なお、引き出し側面電極 3 2 0 5 は積層体 3 2 0 2 の内部接地電極と外部シールド電極 3 2 0 6 の両方に接続されていなくても、内部接地電極あるいは外部シールド電極 3 2 0 6 のどちらか一方に接続され電氣的に接地されていればかまわない。

なお、本実施の形態においては、外部端子電極、外部接地電極、引き出し側面電極の数、及び配置される側面の位置は図 1 4 および図 1 5 に示すものに限るものでなく、積層体の内部回路、内部接地電極の配置、構成にあわせて任意に適用するものであり、いずれの外部電極も、少なくとも積層体の底面から延伸して形成されていけばよい。

また、本実施の形態では、内部接地電極を 1 つとして説明したが、内部接地電極が複数存在しても、積層体にビアホールを設けて接続するか、外部接地電極により接続することにより同電位とすればよく、内部接地電極を増やすことにより接地の強化、及びシールド効果の向上にもつながる。

また、本実施の形態では、内部接地電極に接続される外部接地電極 3 1 0 4、3 2 0 4 は積層体 3 1 0 2、3 2 0 2 の最上面と最底面との間に渡って形成されている構成としたが、これに限らず例えば、内部回路の入力／出力端子に接続される外部端子電極 3 1 0 3、3 2 0 3 の高さの方が、内部接地電極に接続される外部接地電極 3 1 0 4、3 2 0 4 の高さより低い構成であれば、上記と同様の効果が得られる。

ただし、このとき外部端子電極 3 1 0 3 または 3 2 0 3 と、外部接地電極 3 1 0 4 または 3 2 0 4 とは、その横幅が略同一であることが望ましい。

また、本実施の形態では、誘電体シートとして、比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる誘電体シートを例として述べたが、比誘電率  $\epsilon_r = 5 \sim 10$  である結晶相とガラス相からなる誘電体シートを用いても同様の効果が得られる。

また、比誘電率  $\epsilon_r = 50 \sim 100$  程度である  $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_5$  を主成分とする誘電体シートを用いても同様の効果が得られる。

尚、本発明の第 2 の接地電極は、上記実施の形態の外部接地電極 3 1 0 4 等に対応し、本発明の外部端子電極は、外部端子電極 3 1 0 3 等に対応する。

(実施の形態 C 2)

図 1 6 は、本発明における実施の形態 C 2 の積層電子部品の構成を示す図である。

図 1 6 において、本発明の実施の形態 C 2 の積層電子部品 3 3 0 1 は、複数の誘電体シートが積層されて成る積層体 3 3 0 2 であって、積層体の内層には入力／出力端子を備える内部回路（図示せず）と内部接地電極（図示せず）とが介在する。

誘電体シートは比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる。

積層体 3 3 0 2 の側面には、内部回路の入力端子に電氣的に接続される外部入力端子電極 3 3 0 3 a と内部回路の出力端子に電氣的に接続される外部出力端子電極 3 3 0 3 b と内部接地電極に電氣的に接続される外部接地電極 3 3 0 4 とが形成される。

このとき、外部入力端子電極 3 3 0 3 a の高さ、及び外部出力端子電極 3 3 0 3 b の高さは、外部接地電極 3 3 0 4 の高さより低くなるよう形成されている。

また、外部接地電極 3 3 0 4 は、外部入力端子電極 3 3 0 3 a、3 3 0 3 b の両側に配置されており、外部接地電極 3 3 0 4 は積層体 3 3 0 2 の最上面から積層体 3 3 0 2 の最底面に渡って形成されている。

外部入力端子電極 3 3 0 3 a は、積層体 3 3 0 2 の側面において、その中間部から最底面までの間に形成されている。上記側面において、外部入力端子電極 3 3 0 3 a の上部の領域には、積層体 3 3 0 2 の最上面から引き出し側面電極 3 3 0 5 a が引き出されており、引き出し側面電極 3 3 0 5 a は内部接地電極に接続される。

また、外部出力端子電極 3 3 0 3 b は、積層体 3 3 0 2 の側面において、その中間部から最底面に渡って形成されている。外部出力端子電極 3 3 0 3 b の上部の領域には積層体 3 3 0 2 の最上面から引き出し側面電極 3 3 0 5 b が引き出されており、引き出し側面電極 3 3 0 5 b は内部接地電極に接続される。

なお、以上の構成において、外部端子電極 3 3 0 3 と外部接地電極 3 3 0 4 の横幅は、ここでは略同一としている。

図 1 7 に示すのは、図 1 6 で示した積層電子部品 3 3 0 1 の分解斜視図である。

図 1 7 に示すように、積層電子部品 3 3 0 1 は誘電体層 3 4 0 1 から誘電体層 3 4 0 8 までが番号順に積層されている。誘電体層 3 4 0 1 には内部接地電極 3 4 0 9 が配置され、誘電体層 3 4 0 2 にはコンデンサ電極 3 4 1 0 が配置されている。

また、誘電体層 3 4 0 3 にはストリップライン 3 4 1 1 とストリップライン 3 4 1 2 とが配置され、接続点 3 4 1 3 で接続されている。誘電体層 3 4 0 4、3

405、3406、3407にはそれぞれコンデンサ電極3414、内部接地電極3415、コンデンサ電極3416、内部接地電極3417が配置されている。

さらに、コンデンサ電極3410はビアホール3501を介してストリップライン3411の接続点3418に接続され、コンデンサ電極3414はビアホール3502を介して接続点3413に接続されている。

さらに、コンデンサ電極3416はビアホール3503を介してストリップライン3412の接続点3419に接続されている。

また、内部接地電極3415、3417は積層電子部品側面に形成された外部接地電極3304を介して内部接地電極3409に接続されている。又、内部回路の入力端子は、ストリップライン3411の一端を積層電子部品端面まで引き伸ばされ、積層電子部品側面に形成された外部入力端子電極3303aに接続されている。

又、内部回路の出力端子は、ストリップライン3412の一端を積層電子部品端面まで引き伸ばされ、積層電子部品側面に形成された外部入力端子電極3303bに接続されている。

また、内部接地電極3417は引き出し側面電極3305a、引き出し側面電極3305bに接続されている。ただし、上記の説明に関し、図におけるビアホールの位置は簡単のため原則として分解斜視図上の点線にて模式的に示した。

図18は、図17の積層電子部品の等価回路を示しており、図17に対応する素子は同じ番号を用いている。キャパシタンスC1はコンデンサ電極3410と内部接地電極3409の間に形成され、キャパシタンスC2はコンデンサ電極3414と接地電極3415の間に形成される。

また、キャパシタンスC3はコンデンサ電極3416と接地電極3417の間

に形成され、インダクタンス  $L_1$ 、 $L_2$  はそれぞれストリップライン 3411、3412 によって形成される。外部入力端子電極 3303a に直列に  $L_1$ 、並列に  $C_1$  が接続され、外部出力端子電極 3303b に直列に  $L_2$ 、並列に  $C_3$  が接続されている。

さらに接続点 3413 において直列に  $L_1$ 、 $L_2$ 、並列に  $C_2$  が接続されることにより 5 素子の低域通過型フィルタを構成している。

以上の構成とすることにより、本発明における実施の形態 C2 の積層電子部品は、内部回路の入力端子に電氣的に接続される外部入力端子電極 3303a、内部回路の出力端子に電氣的に接続される外部出力端子電極 3303b のコンダクタンス成分あるいはインダクタンス成分の寄生成分による特性劣化を抑えけるとともに、外部入力端子電極 3303a、及び外部出力端子電極 3303b の両側に配置された外部電極 3304 によりシールド効果を改善して、空間的な電氣的結合による特性劣化を抑えることができるものである。

なお、本実施の形態では、積層電子部品 3301 において、図 19 に示すように、外部シールド電極 3602 を積層体 3302 の最上面に配置してもかまわない。この場合には、積層電子部品 3301 のシールド効果が改善されるものである。

なお、引き出し外部電極 3305a、3305b は、図 19 に示すように、接続電極 3601a、3601b により内部接地電極に電氣的に接続される外部接地電極 3304 に接続されるように構成しても構わない。この場合は、さらにシールド効果が改善されることが期待できる。

なお、本実施の形態においては、図 16 に示す様に、外部端子電極 3303a と、その両側に配置された外部接地電極 3304 との間隔  $W_2$ 、 $W_3$  が、外部端子

電極 3 3 0 3 a の電極幅  $W_1$  と、同じか又はそれよりも大きいことが望ましい。

又、外部端子電極 3 3 0 3 b と、その両側に配置された外部接地電極 3 3 0 4 との間隔  $W_2'$ 、 $W_3'$  と、外部端子電極 3 3 0 3 b の電極幅  $W_1'$  との関係においても、これと同様のことが言える。

なお、本実施の形態においては、外部端子電極、外部接地電極、引き出し側面電極の数、及び配置される側面の位置はこれに限るものでなく、積層体の内部回路、内部接地電極にあわせて適応するものであり、いずれの外部電極も、少なくとも積層体の底面から延伸して形成されていればよい。

なお、本実施の形態では、内部回路を低域通過型フィルタとして説明したが、他の回路構成でもよく、また、内部回路は単一でなく、複数存在していても構わない。

なお、本実施の形態では、内部接地電極を 1 つとして説明したが、内部接地電極が複数存在しても、積層体にビアホールを設けて接続するか、外部接地電極により接続することにより同電位とすればよく、内部接地電極を増やすことにより接地の強化、及びシールド効果の向上にもつながる。

なお、引き出し側面電極 3 3 0 5 a、3 3 0 5 b は積層体 3 3 0 2 の内部接地電極に接続されていなくても、外部シールド電極 3 2 0 6 に接続され電氣的に接地されていればかまわない。

なお、本実施の形態では、誘電体層 3 4 0 1 から誘電体層 3 4 0 8 として、比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる誘電体シートを例として述べたが、比誘電率  $\epsilon_r = 5 \sim 10$  である結晶相とガラス相からなる誘電体シートを用いても同様の効果が得られる。また、比誘電率  $\epsilon_r = 50 \sim 100$  程度である  $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_5$  を主成分する誘電体シー

トを用いても同様の効果が得られる。

尚、例えば請求項 11 に記載の本発明の第 1 のシールド電極の一例が、上記実施の形態の内部接地電極 3409 であり、又、本発明の第 2 のシールド電極の一例が、内部接地電極 3417 である。

(実施の形態 C3)

図 20 は、本発明における実施の形態 C3 の積層電子部品を示す図である。

図 20 において、本発明の実施の形態 C3 の積層電子部品 3701 は、複数の誘電体シートが積層されて成る積層体 3702 であって、積層体の内層には入力／出力端子を備える内部回路（図示せず）と内部接地電極（図示せず）とが介在する。

誘電体シートは比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる。積層体 3702 の側面には、内部回路の入力端子に電氣的に接続される外部入力端子電極 3703a と内部回路の出力端子に電氣的に接続される外部出力端子電極 3703b と内部接地電極に電氣的に接続される外部接地電極 3704 とが形成される。

このとき、外部入力端子電極 3703a の高さ、及び外部出力端子電極 3703b の高さは、外部接地電極 3704 の高さより低くなるよう形成されている。

また、外部入力端子電極 3703a、及び外部出力端子電極 3703b は積層体 3702 の同一側面に配置されており、外部入力端子電極 3703a と外部出力端子電極 3703b との外部接地電極 3704 が配置されている。

外部接地電極 3704 は、積層体 3702 の最上面から最底面に渡って形成されている。外部入力端子電極 3703a は、積層体 3702 の側面において、その中間部から最底面に渡って形成されている。

外部入力端子電極 3703a の上部の領域には積層体 3702 の最上面から引き出し側面電極 3705a が引き出されており、引き出し側面電極 3705a は内部接地電極に接続される。

また、外部出力端子電極 3703b は、積層体 3702 の側面において、その中間部から最底面までの間に形成されている。外部出力端子電極 3703b の上部の領域には積層体 3702 の最上面から引き出し側面電極 3705b が引き出されており、引き出し側面電極 3705b は内部接地電極に接続される。

なお、上記の構成において、外部端子電極 3703、外部接地電極 3704 および引き出し側面電極 3705 の横幅は、ここでは略同一としている。

以上の構成とすることにより、本発明における実施の形態 C3 の積層電子部品は、積層体 3702 の同一側面に外部入力端子電極 3703a、及び外部出力端子電極 3703b が配置された場合であっても、外部入力端子電極 3703a、及び外部出力端子電極 3703b との間のアイソレーションが確保できるものである。

また、引き出し側面電極 3705a、3705b は、接続電極 3706 により、内部接地電極に電氣的に接続された外部接地電極 3704 に接続される構成としても構わない。この場合は、さらにシールド効果が改善されることが期待できる。

さらに、外部接地電極 3704、あるいは引き出し側面電極 3705a、3705b は外部シールド電極 3707 に接続されてもかまわない。この場合には、アイソレーション確保に加えて、シールド効果も改善されることが期待できる。

なお、内部回路の入力端子に電氣的に接続される外部入力端子電極 3703a、及び内部回路の出力端子に電氣的に接続される外部出力端子電極 3703b と、内部接地電極に電氣的に接続される外部接地電極 3704 との間隔については、



外部入力端子電極 3 7 0 3 a、外部出力端子電極 3 7 0 3 b の電極幅と同じ程度か、あるいはそれよりも大きいことが望ましい。

なお、本実施の形態では、積層体 3 7 0 2 の同一側面に外部入力端子電極 3 7 0 3 a、及び内部回路を配置した構成としたが、これに限るものでなく、複数の内部回路の外部端子電極が同一側面に配置されていても、外部端子電極の間に外部接地電極を配置すれば、同様の効果が得られる。

なお、本実施の形態においては、外部端子電極、外部接地電極、引き出し側面電極の数、及び配置される側面の位置はこれに限るものでなく、積層体の内部回路、内部接地電極にあわせて適応するものであり、少なくとも端子ないし外部の外部電極が、いずれも少なくとも積層体の底面から延伸して形成されていればよい。

なお、本実施の形態では、内部接地電極を 1 つとして説明したが、内部接地電極が複数存在しても、積層体にビアホールを設けて接続するか、外部接地電極により接続することにより同電位とすればよく、内部接地電極を増やすことにより接地の強化、及びシールド効果の向上にもつながる。

なお、引き出し側面電極 3 7 0 5 a、3 7 0 5 b は積層体 3 3 0 2 の内部接地電極に接続されていなくても、外部シールド電極 3 7 0 7 に接続され電氣的に接地されていればかまわない。

なお、本実施の形態では、誘電体層 3 1 0 1 から誘電体層 3 1 0 8 として、比誘電率  $\epsilon_r = 7$ 、誘電損失  $\tan \delta = 2.0 \times 10^{-4}$  である結晶相とガラス相からなる誘電体シートを例として述べたが、比誘電率  $\epsilon_r = 5 \sim 10$  である結晶相とガラス相からなる誘電体シートを用いても同様の効果が得られる。

また、比誘電率  $\epsilon_r = 50 \sim 100$  程度である  $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_5$  を主成分す

る誘電体シートを用いても同様の効果が得られる。また、誘電体層の数もこれに限るものではない。

また、実施の形態C 1～C 3にて説明した内部接地電極に接続される外部接地電極3104、3204、3304、3704は、図21(a)に示すように、積層電子部品3801において、積層体3802を形成後に積層体3802にドリルなどで穴を形成して導電材料の塗布やメッキなどを行うことにより形成されて積層体3802に埋没された構成の外部電極3803aでもよい。

また、図21(b)に示すように、積層電子部品3801において、積層体3802を構成する誘電体シートに印刷などにより電極パターンを形成し、積層体3802に内層して形成される埋没された構成の外部電極3803bでもよい。

また、実施の形態C 1～C 3にて説明した内部接地電極に接続される外部接地電極3104、3204、3304、3704は、図21(c)に示すように、積層電子部品3801において、積層体3802を形成後に銀ペーストなどの導電材料を塗布することにより積層体3802の外部に形成される構成の外部電極3803cとしてもよい。

なお、外部電極3803cは積層体3802の最上面に周りこむ形状となっているが、これは側面だけに塗布されていてもかまわない。

なお、内部回路の入力／出力端子に接続される外部端子電極3103、3203、3303a、3303b、3703a、3703bについては、図21

(a)～図21(c)の外部電極3803a、3803b、3803cと同様に形成される。しかし、外部端子電極3103、3203、3303a、3303b、3703a、3703bの高さが、外部接地電極3104、3204、3304、3704の高さより低く形成される構成であるという点が異なる。

また、引き出し側面電極 3 2 0 5、3 3 0 5 a、3 3 0 5 b、3 7 0 5 a、3 7 0 5 b、および接続電極 3 6 0 1 a、3 6 0 1 b、3 7 0 6 については、図 2 1 (a) ～図 2 1 (c) の外部電極 3 8 0 3 a、3 8 0 3 b、3 8 0 3 c と同様に形成される。

しかし、引き出し側面電極 3 2 0 5、3 3 0 5 a、3 3 0 5 b、3 7 0 5 a、3 7 0 5 b、および接続電極 3 6 0 1 a、3 6 0 1 b、3 7 0 6 の高さが、外部接地電極 3 1 0 4、3 2 0 4、3 3 0 4、3 7 0 4 の高さより低く形成される構成であるという点異なる。

また、実施の形態 C 1 ～C 3 にて説明した積層電子部品は、半導体、弾性表面波フィルタなどの電子部品チップを積層体に複合した構成であってもかまわない。

また、実施の形態 C 1 ～C 3 にて説明した積層電子部品は、通信機器に用いることにより、端子面積を小型化して、基板上のパターンとのカップリングを小さくすることができる、もしくは入出力のアイソレーションを改善したことにより、不要な信号の入力を防いで、高性能化できる効果がある。

以上の構成とすることにより、本発明の積層電子部品は、少なくとも 1 つの内部回路の入力／出力端子に接続される外部端子電極の高さが内部接地電極に接続される外部接地電極の高さより低くすることにより、コンダクタンス成分あるいはインダクタンス成分の寄生成分による特性劣化を抑えることができる積層電子部品を提供することを目的とする。

また、少なくとも 1 つの内部回路の入力／出力端子に接続される複数の外部端子電極の間に、少なくとも 1 つの内部接地電極に接続される外部接地電極を配置することにより、外部端子電極間における空間的結合を小さくすることができる積層電子部品を提供することを目的とする。

以上説明したように本発明の積層電子部品は、複数の誘電体シートを積層して一体化した積層体と、前記積層体の内層に入力／出力端子を備える少なくとも１つの内部回路の入力／出力端子と少なくとも１つの内部接地電極とが介在する積層電子部品であって、前記内部回路の入力／出力端子が前記積層体の側面に形成される外部端子電極に電氣的に接続され、前記内部接地電極が前記積層体の側面に形成される外部接地電極に電氣的に接続されるとともに、前記外部端子電極の高さが前記外部接地電極の高さより低い構成とすることにより、コンダクタンス成分あるいはインダクタンス成分の寄生成分による特性劣化を抑えることができる。

尚、上記実施の形態Ｂ１～Ｂ２では、端面電極１０７ａ、１０７ｂ等の高さ、接地電極１０６ｂ、１０６ｅ等の高さと同じである場合について説明したが、これに限らず例えば、実施の形態Ｃ１～Ｃ３の何れかと組み合わせることにより、図１２、１３に示す様に、双方の電極の高さが異なる構成としても良い。

ここで、図１２は、上記実施の形態Ｂ１の構成に上記実施の形態Ｃ１の構成を適用した例を説明するための分解斜視図である。

同図の構成では、端面電極２１１７ａ、２１１７ｂの高さが異なる点を除き、図８の構成と同じである。端面電極２１１７ａ、２１１７ｂの各上端部は、コンデンサ電極２１０４ａ、２１０４ｂにそれぞれ接続されている。

このような構成により、接地強度の改善に加えて、端面電極２１１７ａ、２１１７ｂにおける、コンダクタンス成分あるいはインダクタンス成分の寄生成分の発生を抑制することも出来るので、より一層、高周波特性の優れた積層電子部品を提供することが出来るという効果を発揮する。

又、図１３は、上記実施の形態Ｂ１の構成に上記実施の形態Ｃ２の構成を適用

した例を説明するための分解斜視図である。

同図の構成では、端面電極 2 1 1 7 c, 2 1 1 7 d が更に形成されている点と、第 2 シールド電極 2 1 0 2 b の外形が異なる点を除き、図 1 2 の構成と同じである。端面電極 2 1 1 7 c, 2 1 1 7 d の各下端部は、第 2 シールド電極 2 1 0 2 b の一方の接続用電極 2 1 1 2 c、他方の接続用電極 2 1 1 2 d にそれぞれ接続されている。

この様な構成により、図 1 3 で述べたものと同様の効果が得られる。

又、本発明の積層電子部品は、上記実施の形態では、例えば 5 つの誘電体層を有している積層フィルタとして構成した場合等について説明したが、これに限らず例えば、以下の様な構成でも良い。

即ち、この場合の積層電子部品は、一方の主面に第 1 のシールド電極が設けられた誘電体層 A と、

前記誘電体層 A に対して、直接又は間接的に積層された誘電体層であって、一方の主面に第 2 のシールド電極が設けられた誘電体層 B と、

少なくとも一方の主面が外部に露出している誘電体層 D と、

前記誘電体層 B と前記誘電体層 D の間に積層された、内部回路を含む誘電体層 B と、

前記誘電体層 A の他方の主面、または前記誘電体層 D の前記一方の主面に設けられた第 1 の接地電極とを備え、

前記誘電体層 A と前記誘電体層 D の少なくとも一方の誘電体層にはビアホールが設けられており、

前記第 1 のシールド電極と前記第 2 のシールド電極が、電氣的に接続されており、

前記第 1 の接地電極と前記第 1 のシールド電極とが、前記誘電体層 A に設けられたビアホールを介して電氣的に接続されているか、又は、前記第 1 の接地電極と前記第 2 のシールド電極とが、前記誘電体層 D に設けられたビアホールを介して電氣的に接続されている積層電子部品でありさえすれば良い。

従って、本願発明の積層電子部品は、誘電体層の数や、電子部品の種類や、ビアホールが設けられている誘電体層の積層位置や、その他の構成については上記実施の形態には限定されない。

又、本発明の積層電子部品は、上記実施の形態では、例えば、第 1 及び第 2 のシールド電極が設けられている場合について説明したが、これに限らず例えば、第 2 のシールド電極が無くても良い。

この場合の構成としては、例えば、上記実施の形態 B 1 で説明した積層電気部品の構成の内、第 4 の誘電体層 2 1 0 1 d が存在しない点を除き、図 8 に示した構成と基本的に同じである。

よって、この場合の積層電子部品は、一方の主面に第 1 のシールド電極が設けられた誘電体層 A と、少なくとも一方の主面が外部に露出している誘電体層 D と、前記誘電体層 A と前記誘電体層 D との間に積層された、内部回路を含む誘電体層 B と、前記誘電体層 A の他方の主面に設けられた第 1 の接地電極とを備え、前記誘電体層 A にはビアホールが設けられており、前記第 1 の接地電極と前記第 1 のシールド電極とが、前記誘電体層 A に設けられたビアホールを介して電氣的に接続されている。

このような構成により、上記実施の形態 B 1 で述べた様に、接地電極の面積が十分に確保出来、マザー基板に対する接地強度の強化が図れるという効果を発揮する。

尚、第1のシールド電極が、積層電子部品の内部回路とマザー基板との間に設けられているので、上記内部回路とマザー基板側の回路との間のシールド機能も従来と同様に確保出来ることは言うまでもない。

以上述べたところから明らかなように本発明は、積層電子部品において、寄生成分による特性劣化を抑え、シールド及び外部電極間のアイソレーションを改善できるという長所を有する。

又、上記各実施の形態の積層電子部品を、1 GHz 以上の入力信号を扱う積層フィルタ等として使用した場合、フィルタ回路等の高周波特性、即ち、高周波領域における周波数の選択特性の劣化をより一層抑制することが出来るという効果を発揮する。

以上述べたことから明らかなように、本発明は接地電極が十分確保でき、接地強度の強化が図れるという長所を有する。

又、本発明は高周波領域における周波数の選択性に優れているという長所を有する。

#### 産業上の利用可能性

以上説明したように、本発明の構成を、例えば、1 GHz 以上の入力信号を扱う積層フィルタに適用した場合、フィルタ回路等の高周波特性、即ち、高周波領域における周波数の選択特性の劣化をより一層抑制することが出来る。

## 請 求 の 範 囲

1. 一方の主面に第1のシールド電極が設けられた誘電体層Aと、  
前記誘電体層Aに対して、間接的に積層された誘電体層であって、一方の主面に第2のシールド電極が設けられた誘電体層Cと、  
少なくとも一方の主面が外部に露出している誘電体層Dと、  
前記誘電体層Aと前記誘電体層Cとの間に積層された、内部回路を含む誘電体層Bと、  
前記誘電体層Aの他方の主面、または前記誘電体層Dの前記一方の主面に設けられた第1の接地電極とを備え、  
前記誘電体層Aと前記誘電体層Dの少なくとも一方の誘電体層にはビアホールが設けられており、  
前記第1のシールド電極と前記第2のシールド電極が、電氣的に接続されており、  
前記第1の接地電極と前記第1のシールド電極とが、前記誘電体層Aに設けられたビアホールを介して電氣的に接続されているか、又は、前記第1の接地電極と前記第2のシールド電極とが、前記誘電体層Dに設けられたビアホールを介して電氣的に接続されている積層電子部品。
2. 前記積層電子部品の側面に設けられた、前記第1のシールド電極と前記第2のシールド電極とを前記電氣的に接続するための端面電極を備えた請求項1記載の積層電子部品。
3. 前記誘電体層Bには、前記内部回路として、共振器電極が含まれており、  
前記積層電子部品は、前記共振器電極に接続された第1の端子電極を備え、  
前記端面電極は、前記積層電子部品が搭載される予定の基板上の所定の接地面



に接続するための第2の接地電極であり、

前記第1の端子電極は、前記第2の接地電極で取り囲まれるように、又は、前記第2の接地電極と電氣的に接続されて、前記誘電体層A～誘電体層Dの側面部に設けられている請求項2に記載の積層電子部品。

4. 前記誘電体層Bには、前記内部回路として、前記共振器電極の一部と対向して設けられた結合電極が更に含まれており、

前記積層電子部品は、前記結合電極に接続された第2の端子電極を備え、

前記第2の端子電極は、(1)前記誘電体層Aの前記他方の主面および／または誘電体層Dの前記一方の主面上に、前記第1の接地電極と電氣的に接続しないように形成され、且つ、(2)前記ビアホールとは異なるビアホールを介して前記結合電極と電氣的に接続されている請求項3に記載の積層電子部品。

5. 前記共振器電極は、伝送線路にて構成された請求項3に記載の積層電子部品。

6. 前記第1の接地電極は網目状、帯状もしくは蜂の巣状のいずれかに形成されている請求項1に記載の積層電子部品。

7. 前記結合電極は、伝送線路にて構成されている請求項4に記載の積層電子部品。

8. 前記結合電極は、伝送線路にて構成された段間結合コンデンサ電極である請求項4に記載の積層電子部品。

9. 請求項7に記載の積層電子部品を用いた送信フィルタと、  
請求項8に記載の積層電子部品を用いた受信フィルタと、  
を備えた積層共用器。

10. 請求項1に記載の積層電子部品を用いた積層フィルタおよび／または

請求項 9 に記載の積層共用器を備えた通信機器。

1 1. 前記内部回路に接続され、前記積層電子部品の底面から最上面に向う第 1 の高さを有した外部端子電極を備え、

前記端面電極は、(1) 前記積層電子部品が搭載される予定の基板上の所定の接地面に接続するための第 2 の接地電極であり、且つ、(2) 前記積層電子部品の底面から最上面に向う第 2 の高さを有しており、

前記第 1 の高さとは前記第 2 の高さは、互いに異なる請求項 2 に記載の積層電子部品。

1 2. 前記外部端子電極の前記積層体最底面からの前記第 1 の高さは、前記第 2 の接地電極の前記積層体底面部からの前記第 2 の高さより低い請求項 1 1 に記載の積層電子部品。

1 3. 前記第 2 の接地電極は、前記積層体の最上面と最底面とに引き延ばされて設けられている請求項 1 2 に記載の積層電子部品。

1 4. 前記第 2 の接地電極に接続された外部シールド電極を備え、  
前記外部シールド電極は、前記積層体の最上面に設けられた請求項 1 1 に記載の積層電子部品。

1 5. 前記シールド電極に接続された引き出し側面電極を備え、  
前記引き出し側面電極は、少なくとも前記積層体の最上面から前記積層体側面の前記外部端子電極が形成されている領域に渡って設けられており、  
前記積層体側面に設けられた部分は、前記積層体最低面からみて、前記外部端子電極の高さよりも高いところに配置されている請求項 1 1 に記載の積層電子部品。

1 6. 前記引き出し側面電極は、前記外部シールド電極に接続されている請

求項 1 1 に記載の積層電子部品。

1 7. 前記外部端子電極の両側に前記第 2 の接地電極が配置されている請求項 1 1 に記載の積層電子部品。

1 8. 前記外部端子電極を複数備え、

前記第 2 の接地電極は、前記外部端子電極間に配置されている請求項 1 1 に記載の積層電子部品。

1 9. 前記引き出し側面電極は、前記第 2 の接地電極の少なくとも 1 つに接続されている請求項 1 5, 1 7 又は 1 8 に記載の積層電子部品。

2 0. 前記外部端子電極と、前記外部端子電極の隣に配置される前記第 2 の接地電極との間隔は、前記外部端子電極の電極幅以上である請求項 1 7 又は 1 8 に記載の積層電子部品。

2 1. 前記外部端子電極および前記第 2 の接地電極は、前記積層体に埋設されているか、又は、前記積層体外部に露出している請求項 1 1 に記載の積層電子部品。

2 2. 前記誘電体層は、結晶相とガラス相とを含み、

前記結晶相が、 $\text{Al}_2\text{O}_3$ 、 $\text{MgO}$ 、 $\text{SiO}_2$  及び  $\text{RO}$  ( $\text{R}$  は  $\text{La}$ 、 $\text{Ce}$ 、 $\text{Pr}$ 、 $\text{Nd}$ 、 $\text{Sm}$  及び  $\text{Gd}$  から選ばれる少なくとも 1 つの元素であり、 $a$  は前記  $\text{R}$  の価数に応じて化学量論的に定まる数値) のうち少なくとも 1 つを含有する請求項 1 1 に記載の積層電子部品。

2 3. 前記誘電体層は、 $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_6$  を主成分として含む請求項 1 1 に記載の積層電子部品。

2 4. 請求項 1 1 に記載の積層電子部品を用いたことを特徴とする通信機器。

2 5. 前記誘電体層 B 及び前記誘電体層 C の内、全部又は一部の誘電体層を

貫通する、前記第 1 のシールド電極と前記第 2 のシールド電極とを前記電氣的に接続するためのビアホールが設けられた請求項 1 記載の積層電子部品。

26. 複数の誘電体シートを積層して一体化した積層体と、  
前記積層体内の複数の誘電体シートの主面上に設けられた内部回路と、  
前記積層体内の複数の誘電体シートの主面上に設けられた接地電極と、  
前記積層体の全部または一部を貫通して、前記複数の誘電体シートの主面上に設けられた接地電極をそれぞれ電氣的に接続する第 1 のビアホールと、  
前記積層体の全部または一部を貫通して、前記複数の誘電体シートの主面上に設けられた内部回路をそれぞれ電氣的に接続する第 2 のビアホールと、  
前記第 2 のビアホールと電氣的に接続された、入力端子および出力端子とを備えた積層電子部品であって、  
前記接地電極の少なくとも 1 つは、前記誘電体層の最下層および／または最上層の誘電体シートの主面上から外部に露出した露出接地電極として設けられており、  
前記入力電極と前記出力電極とは、前記露出接地電極が設けられた面と同一の面に、該露出接地電極を間に挟んで設けられていることを特徴とする積層電子部品。

27. 前記露出接地電極以外の前記接地電極は、該積層電子部品の外部に露出する部分を持たないことを特徴とする請求項 26 に記載の積層電子部品。

28. 前記複数の誘電体シートは、少なくとも第 1 の誘電体シートと第 2 の誘電体シートとを有し、

前記複数の接地電極は、少なくとも前記第 1 の誘電体シートの主面上に設けられた第 1 の接地電極と、前記第 2 の誘電体シートの主面上に設けられた第 2 の接

地電極とを有し、

前記第 2 の誘電体シートは、前記第 1 の接地電極と前記第 2 の接地電極との間に配置されており、

前記第 1 のビアホールは、前記第 1 の誘電体シートおよび／または前記第 2 の誘電体シートを少なくとも貫通して前記第 1 および第 2 の接地電極を電氣的に接続することを特徴とする請求項 2 6 に記載の積層電子部品。

29. 前記第 2 の誘電体シートは、前記第 1 の誘電体シートより上層に設けられたことを特徴とする請求項 2 8 に記載の積層電子部品。

30. 前記第 1 の誘電体シートと、前記第 2 の誘電体シートとの間には、前記内部回路が主面上に設けられた少なくとも 1 つの誘電体シートが配置されていることを特徴とする請求項 2 9 に記載の積層電子部品。

31. 前記第 1 の誘電体シートと前記第 2 の誘電体シートとは直接積層されていることを特徴とする請求項 2 9 に記載の積層電子部品。

32. 前記複数の誘電体シートは、少なくとも第 3 の誘電体シートを有し、前記複数の接地電極は、少なくとも前記第 3 の誘電体シート的主面上に設けられた第 3 の接地電極を有し、

前記第 1 のビアホールは、前記第 3 の誘電体シートを少なくとも貫通して前記第 3 の誘電体シートと前記露出接地電極とを電氣的に接続することを特徴とする請求項 2 6 に記載の積層電子部品。

33. 前記第 3 の誘電体シートと、前記露出接地電極が設けられた誘電体シートとの間には、前記内部回路が主面上に設けられた少なくとも 1 つの誘電体シートが配置されていることを特徴とする請求項 3 2 に記載の積層電子部品。

34. 前記第 3 の誘電体シートと前記露出接地電極が設けられた誘電体シ

トとは同一の誘電体シートであることを特徴とする請求項 3 2 に記載の積層電子部品。

3 5. 前記誘電体シートの厚みは  $5 \sim 50 \mu\text{m}$  であることを特徴とする請求項 2 6 に記載の積層電子部品。

3 6. 前記誘電体シートは結晶相とガラス相とから少なくともなり、  
前記結晶相が  $\text{Al}_2\text{O}_3$ 、 $\text{MgO}$ 、 $\text{SiO}_2$  及び  $\text{RO}_a$  ( $\text{R}$  は、 $\text{La}$ 、 $\text{Ce}$ 、 $\text{Pr}$ 、 $\text{Nd}$ 、 $\text{Sm}$  及び  $\text{Gd}$  から選ばれる少なくとも 1 つの元素であり、 $a$  は前記  $\text{R}$  の価数に応じて化学量論的に定まる数値) のうち少なくとも 1 つを含有することを特徴とする請求項 2 6 に記載の積層電子部品。

3 7. 前記誘電体シートは、 $\text{Bi}_2\text{O}_3$ 、 $\text{Nb}_2\text{O}_6$  を含むことを特徴とする請求項 2 6 に記載の積層電子部品。

3 8. 請求項 2 6 ないし 3 7 のいずれかに記載の積層電子部品を実装したことを特徴とする高周波無線機器。

3 9. 一方の主面に第 1 のシールド電極が設けられた誘電体層 A と、  
少なくとも一方の主面が外部に露出している誘電体層 D と、  
前記誘電体層 A と前記誘電体層 D との間に積層された、内部回路を含む誘電体層 B と、

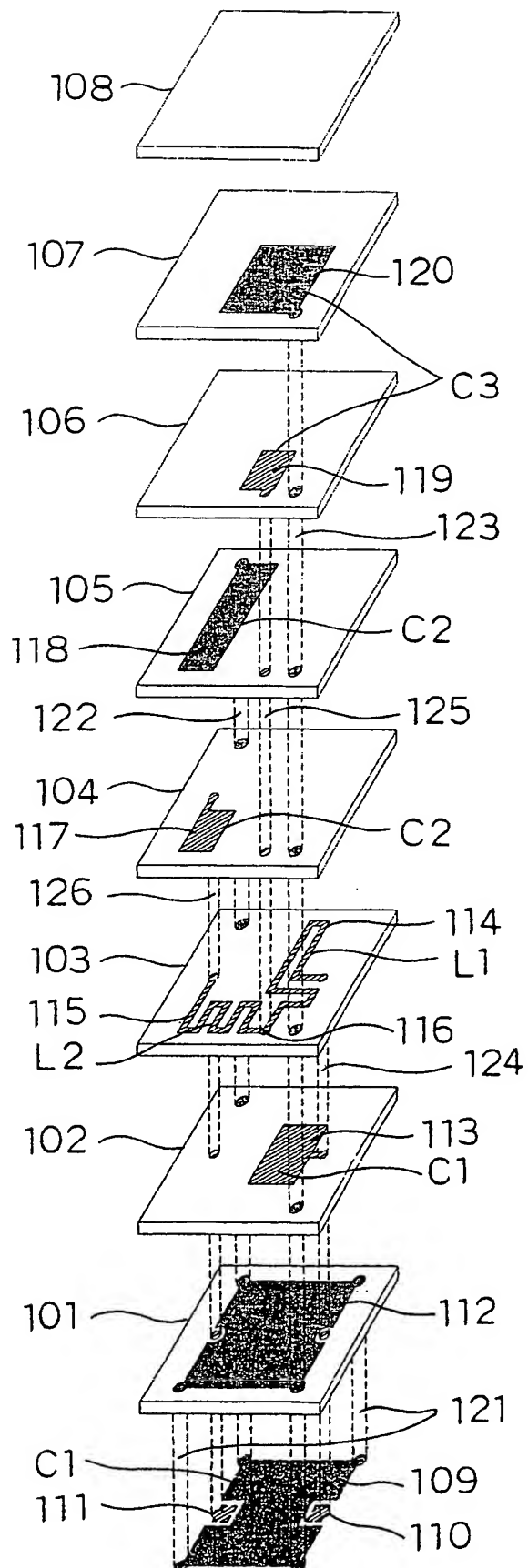
前記誘電体層 A の他方の主面に設けられた第 1 の接地電極とを備え、

前記誘電体層 A にはビアホールが設けられており、

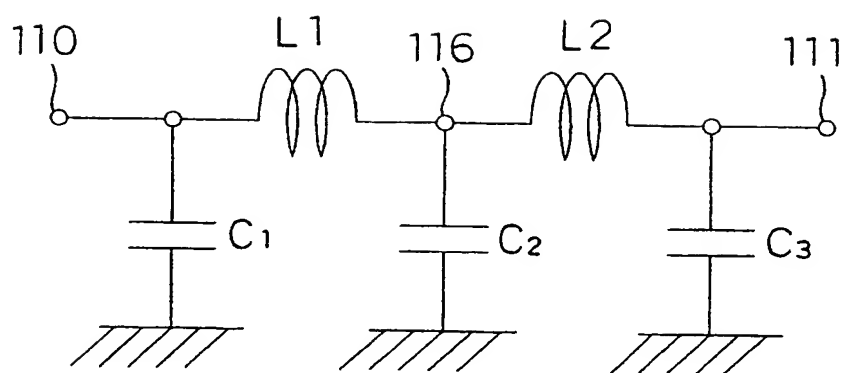
前記第 1 の接地電極と前記第 1 のシールド電極とが、前記誘電体層 A に設けられたビアホールを介して電氣的に接続されている積層電子部品。

1 / 2 2

第1図



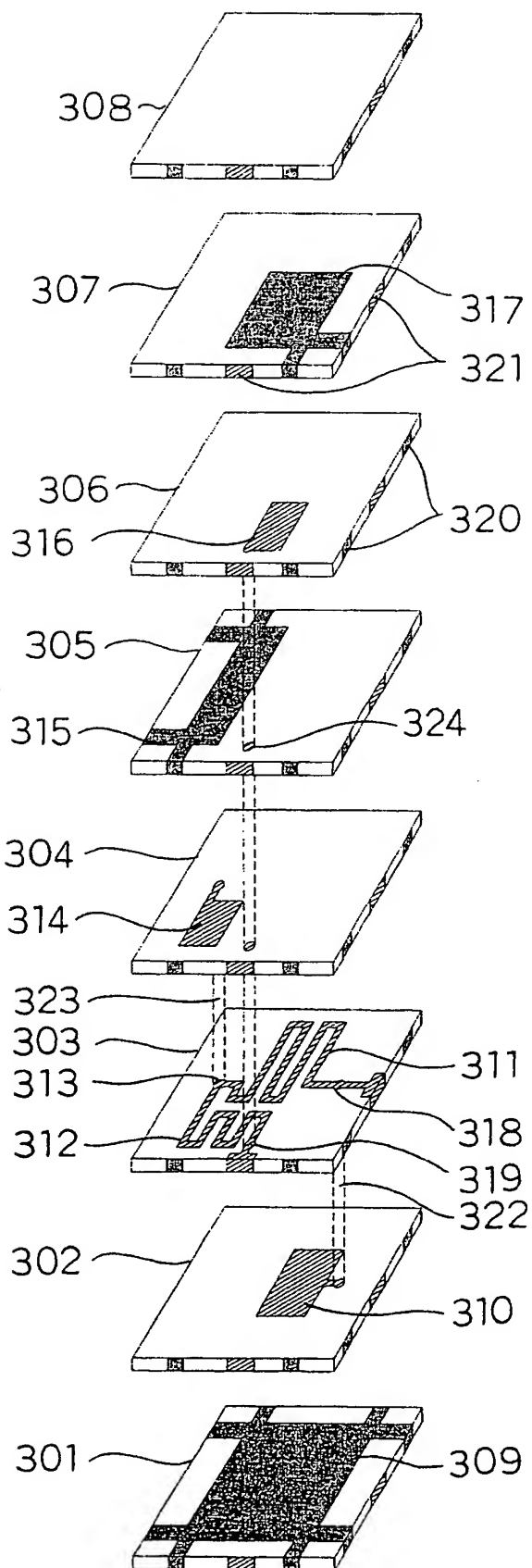
第2図





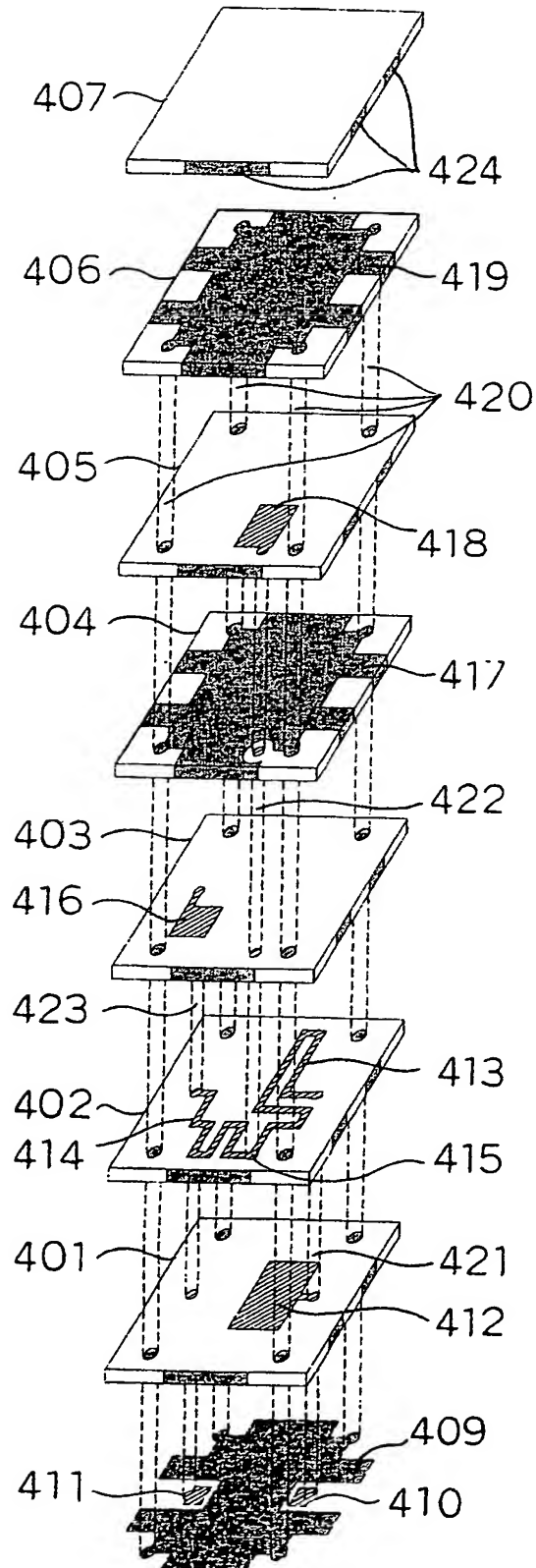
3 / 2 2

第3図



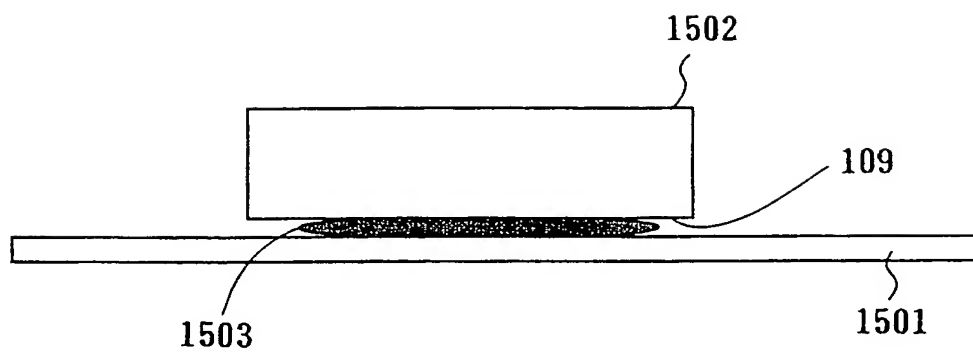
4 / 2 2

第4図

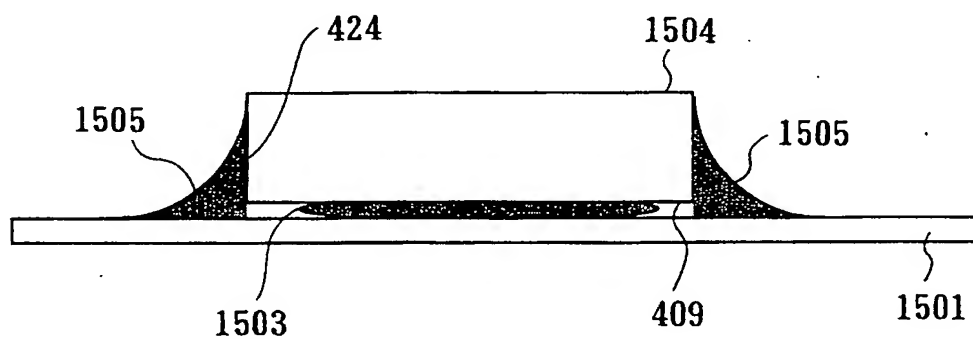


5 / 2 2

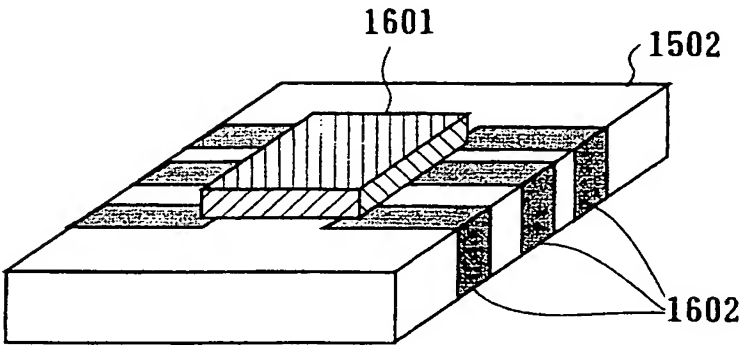
第5 (a) 図



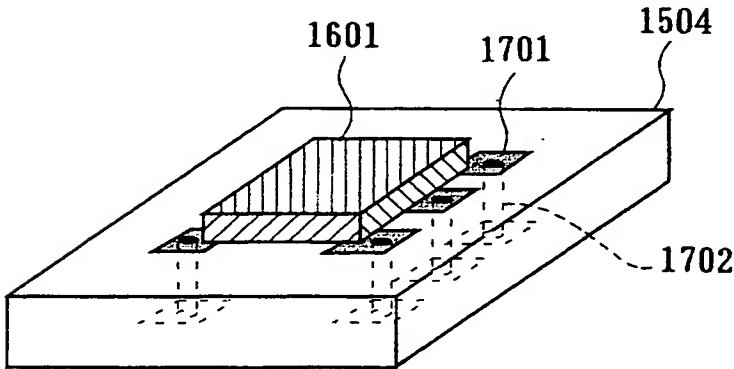
第5 (b) 図



第6図

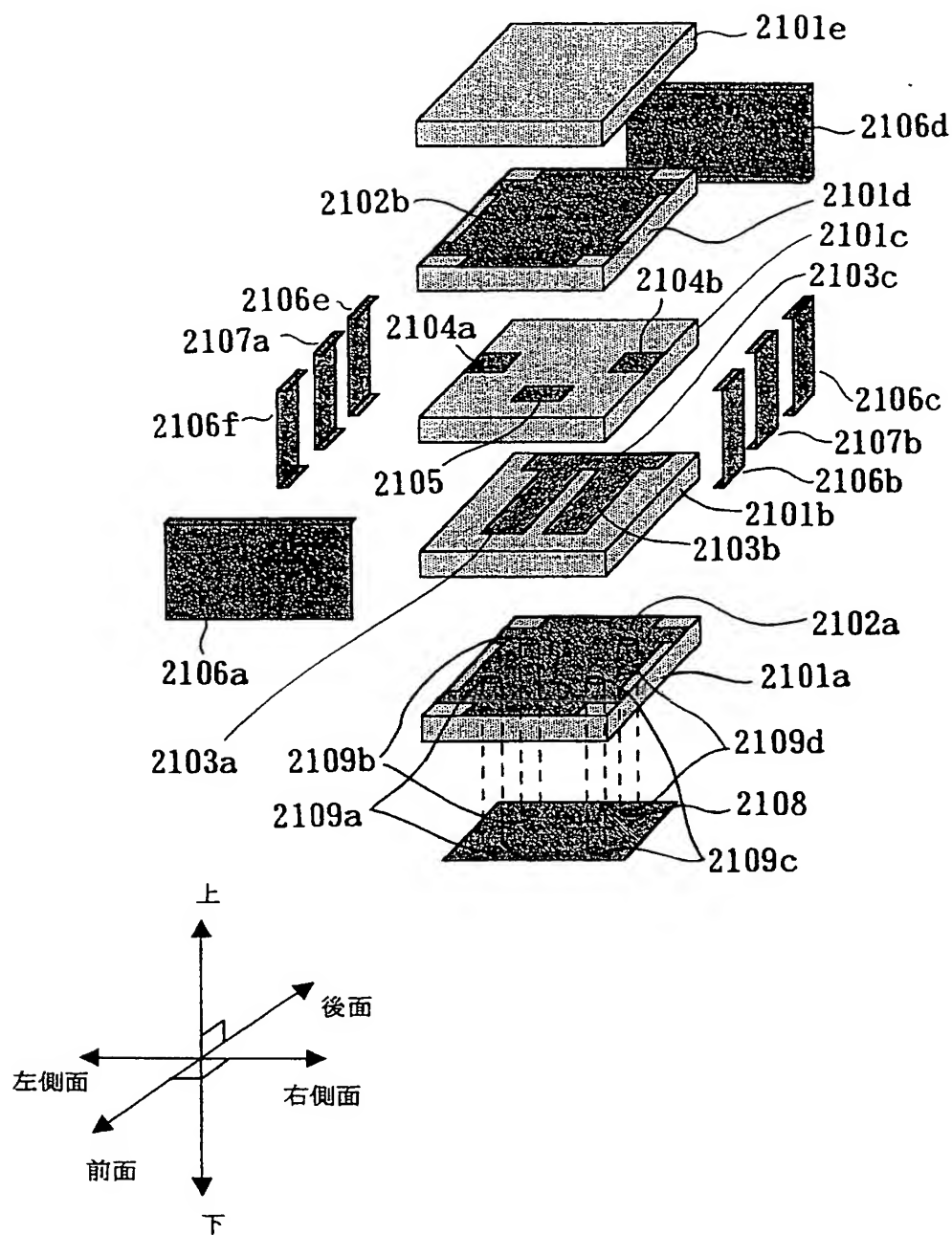


第7図



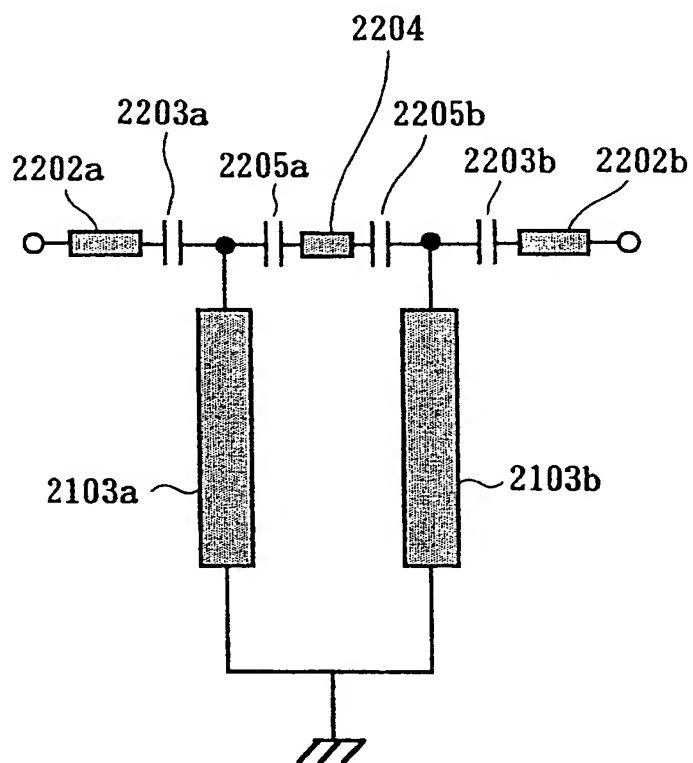
7 / 2 2

第8図

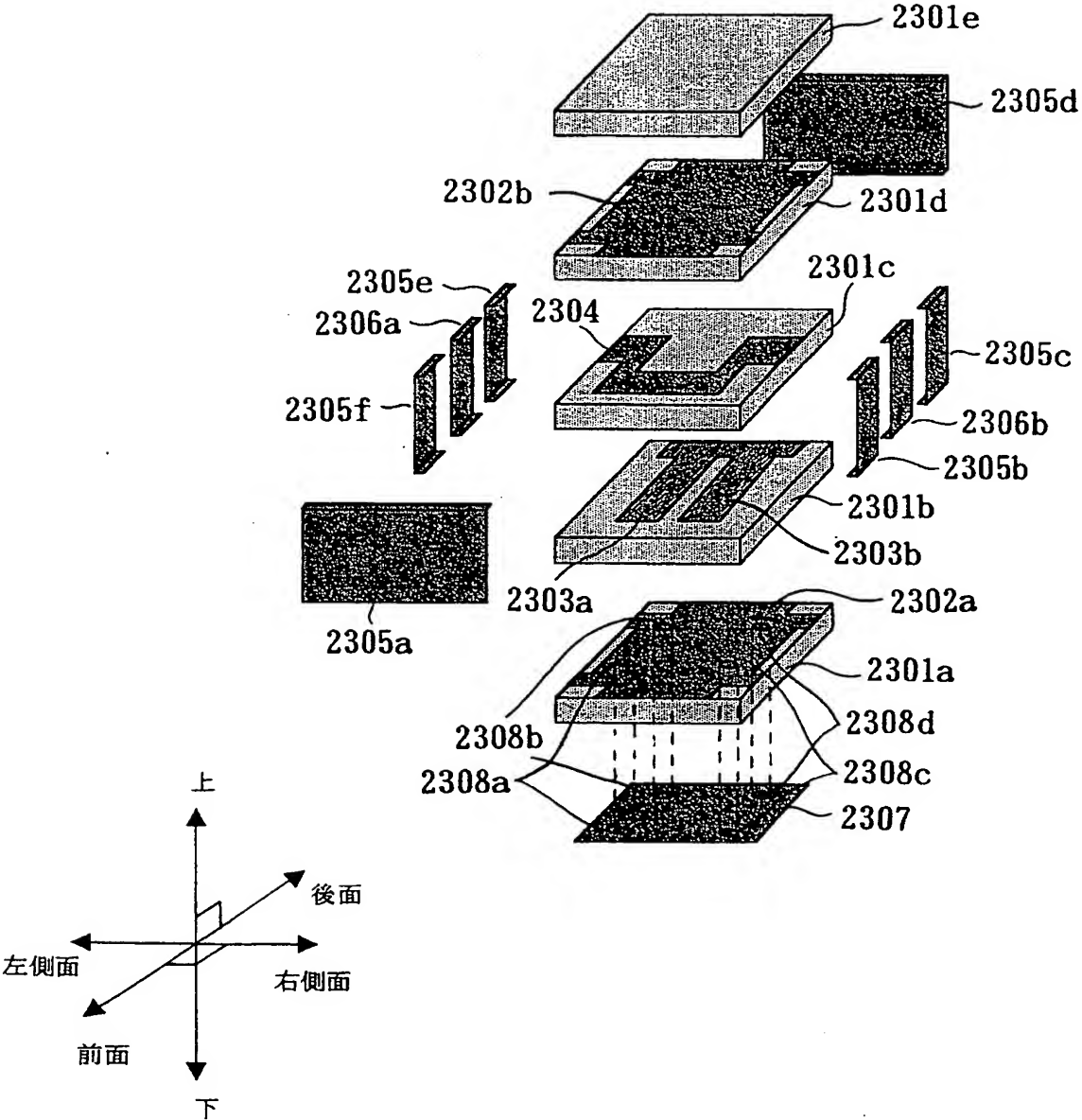


8 / 2 2

第9図

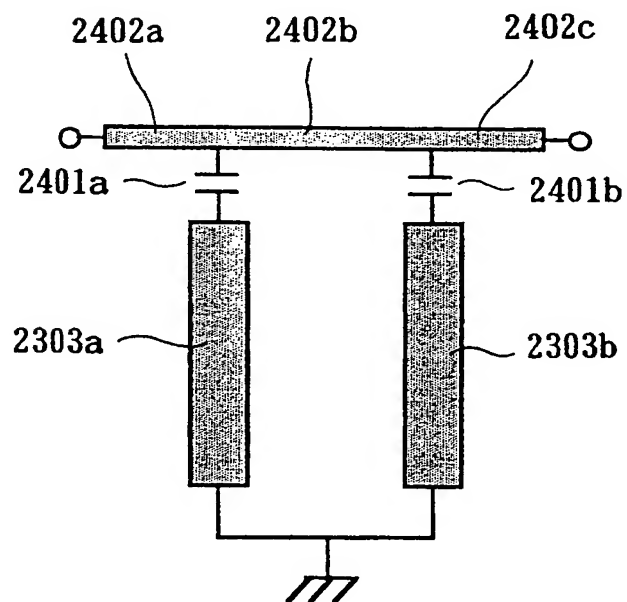


第 1 0 図



1 0 / 2 2

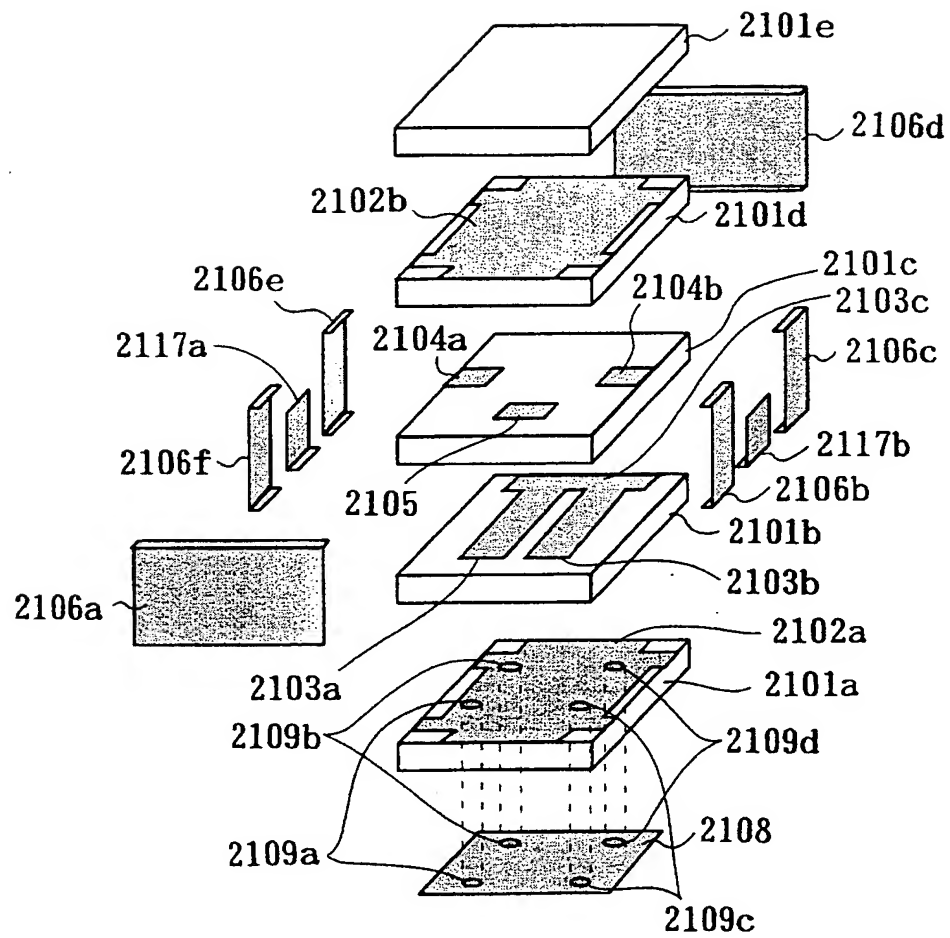
第 1 1 図





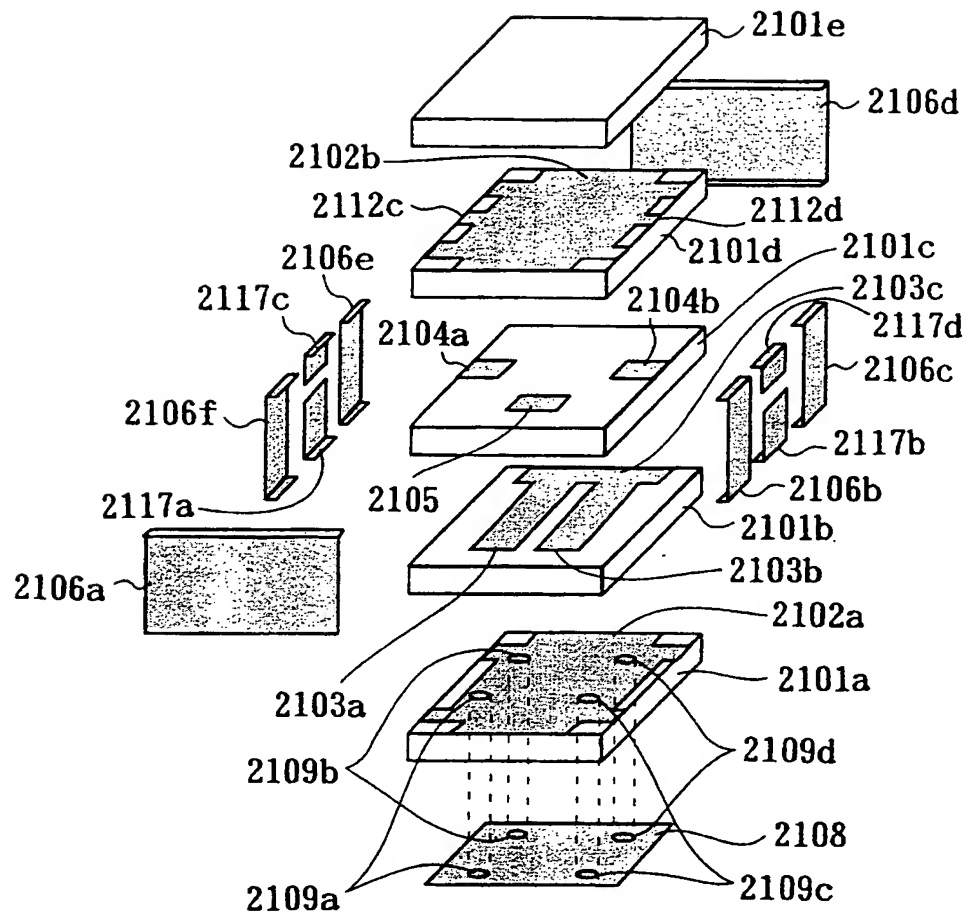
1 1 / 2 2

## 第 1 2 図



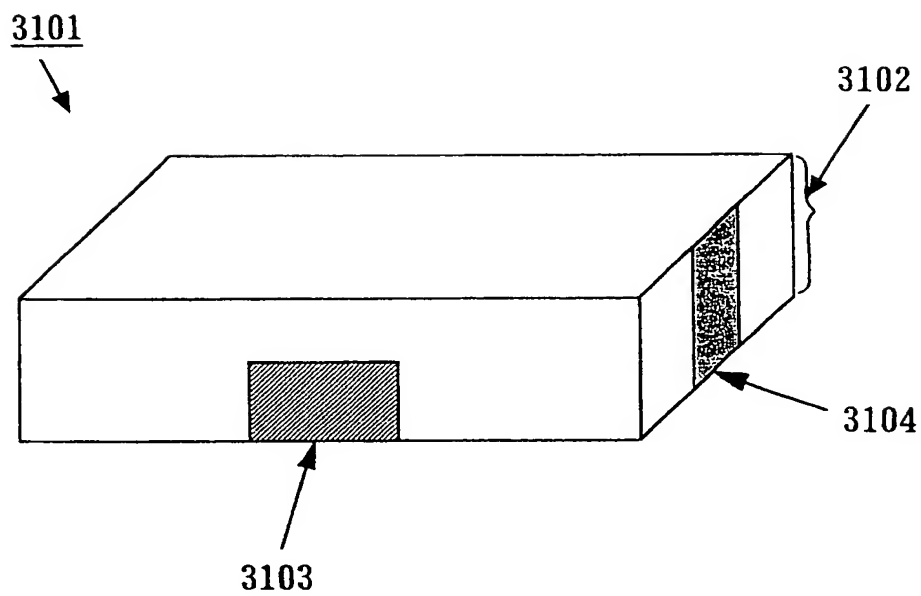
1 2 / 2 2

## 第 1 3 図



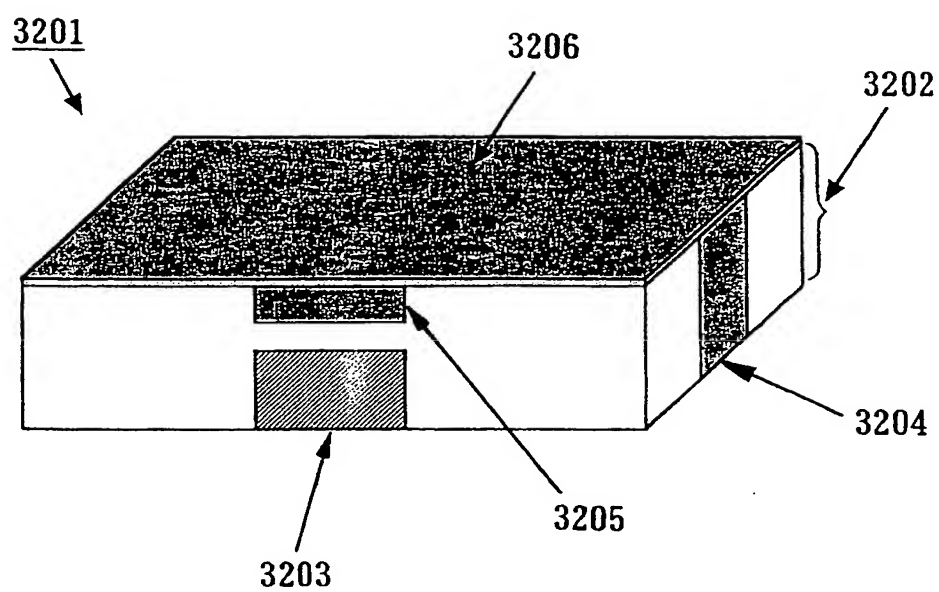
1 3 / 2 2

第 1 4 図



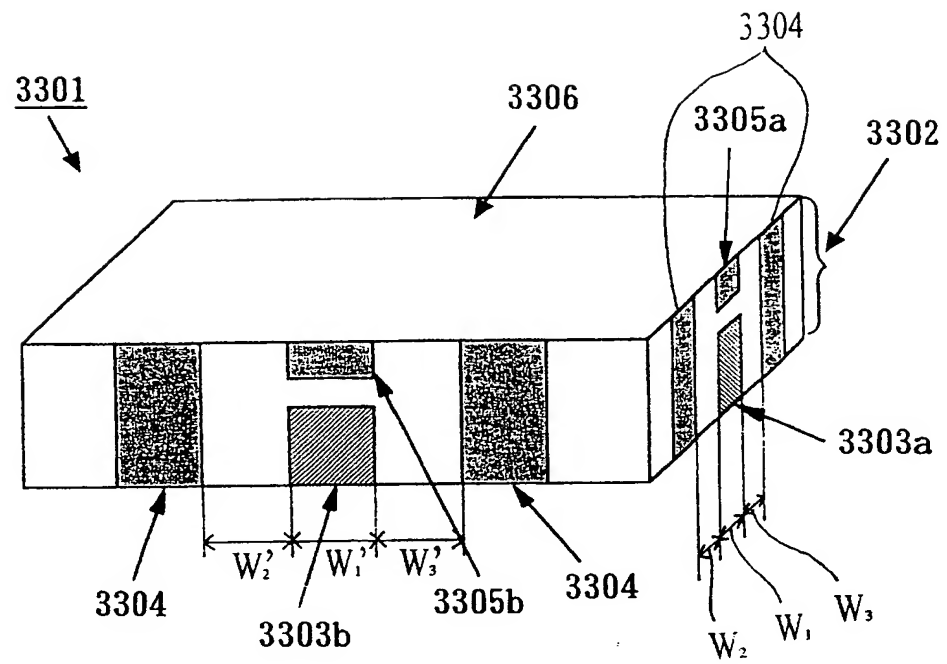
1 4 / 2 2

第 1 5 図



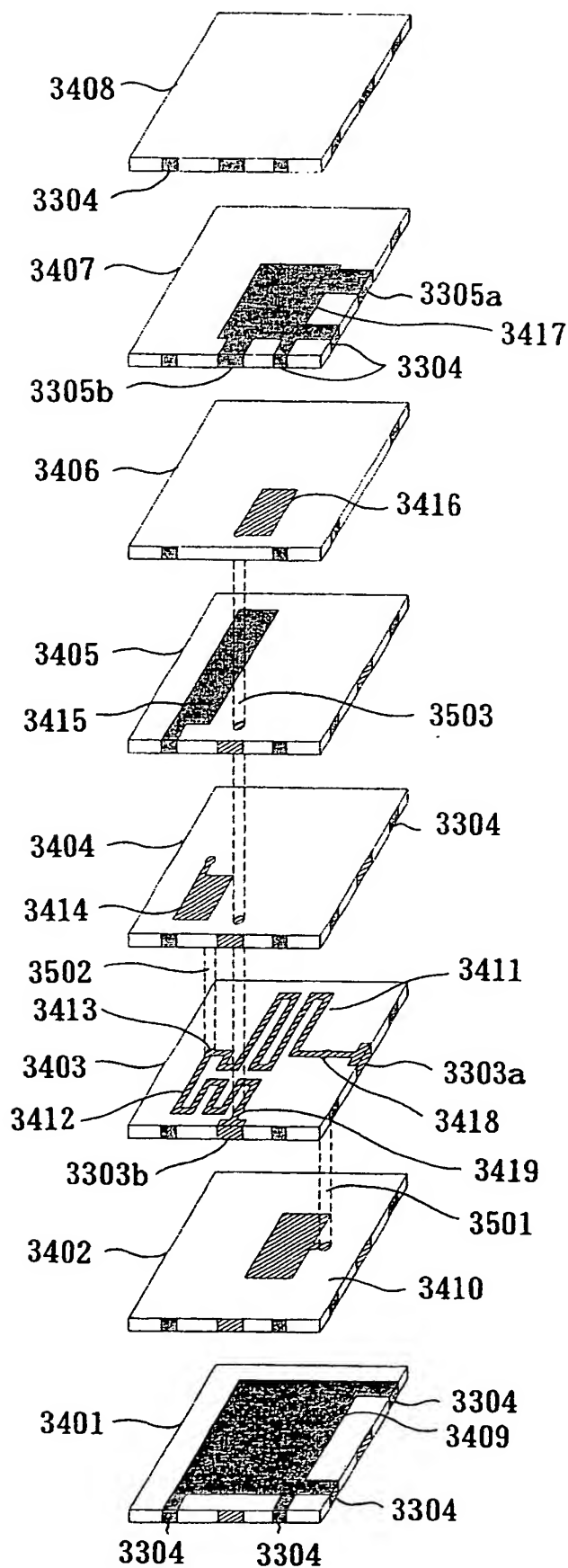
1 5 / 2 2

第 1 6 図



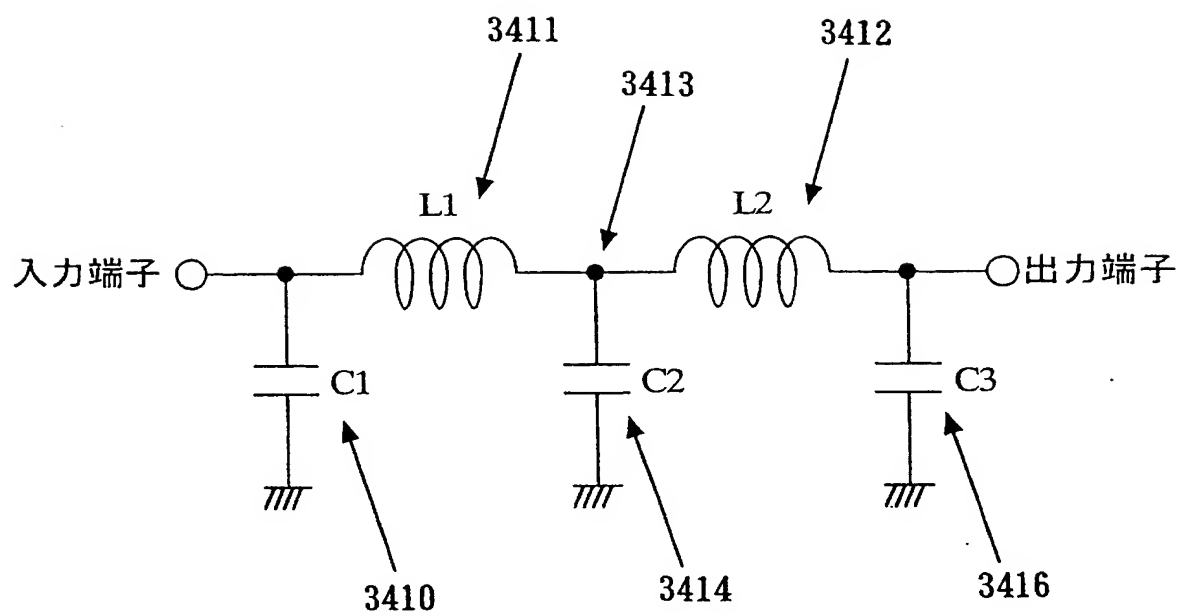
1 6 / 2 2

第 1 7 図



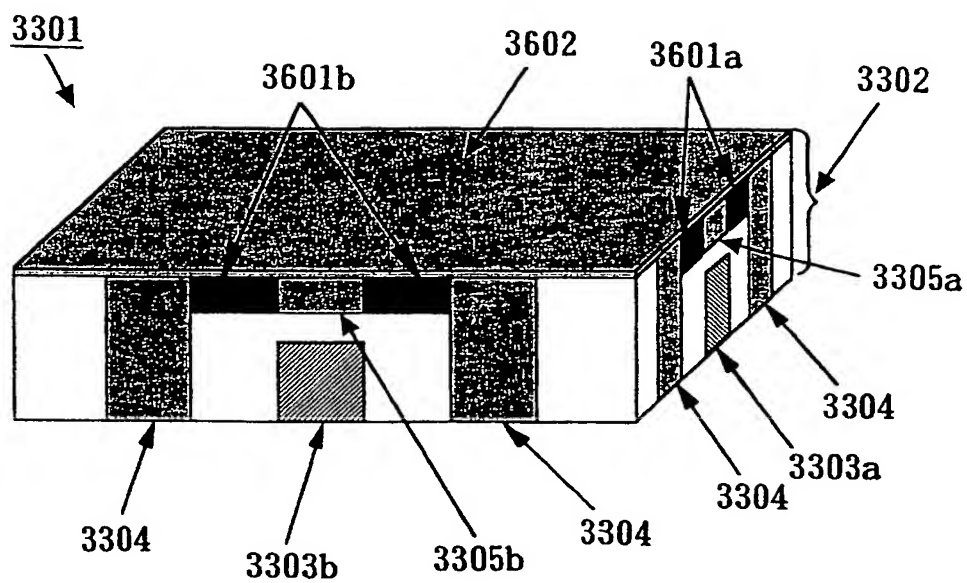
1 7 / 2 2

第 1 8 図



1 8 / 2 2

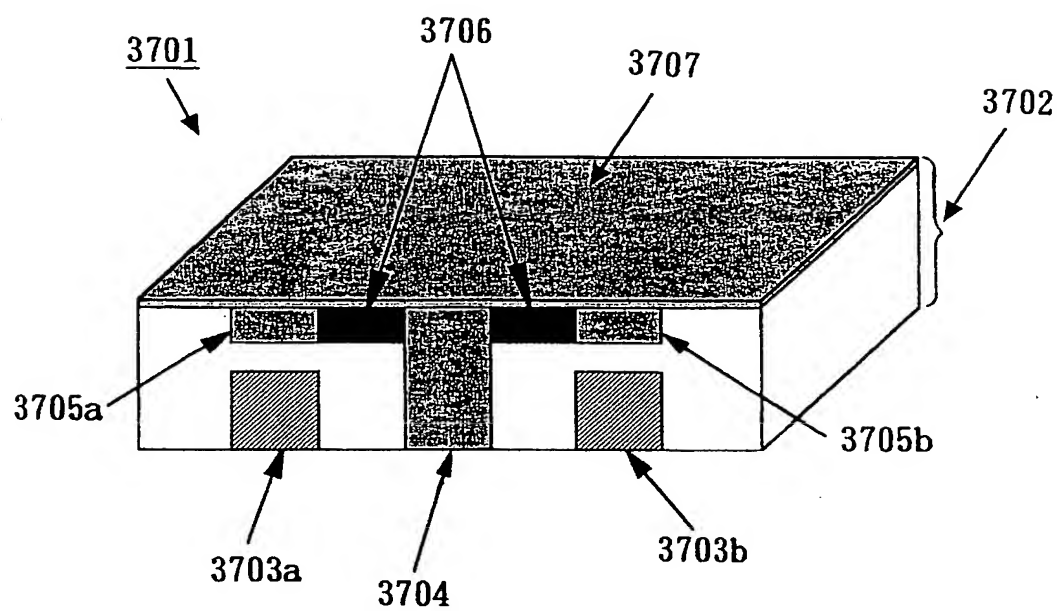
第 1 9 図





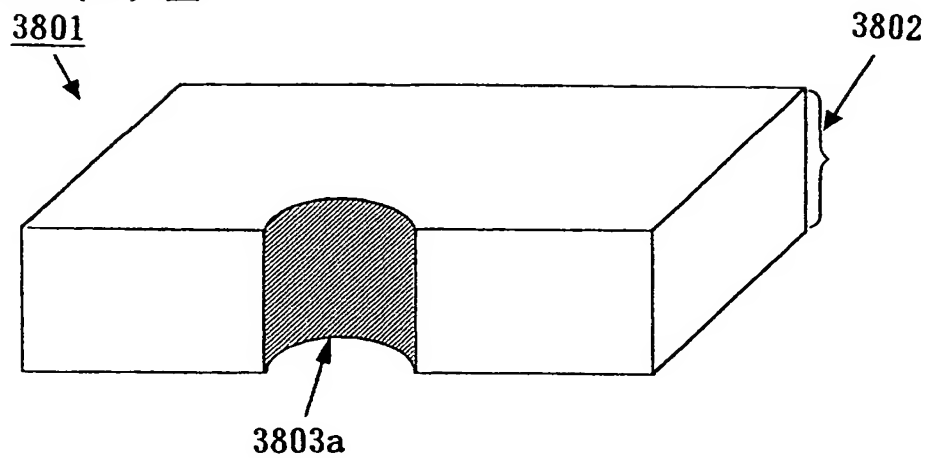
1 9 / 2 2

第20図

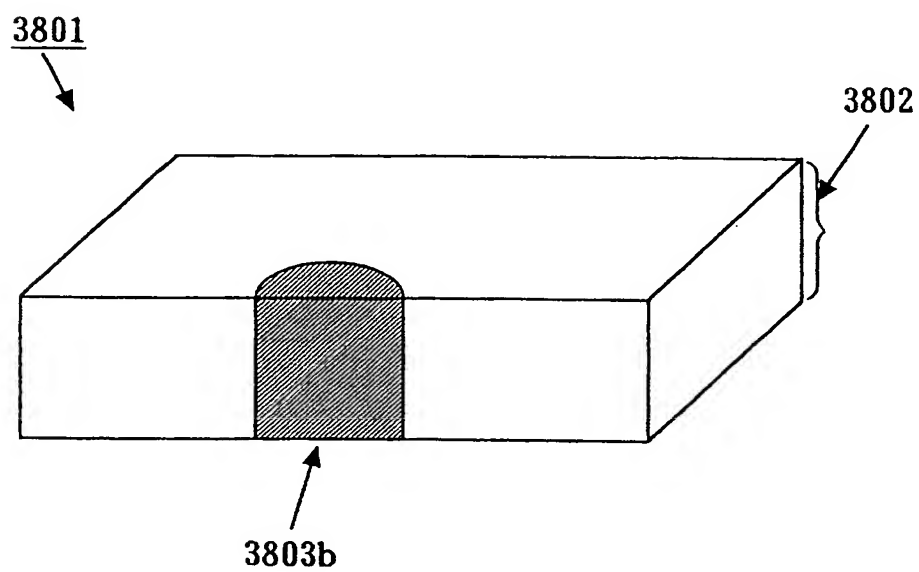


2 0 / 2 2

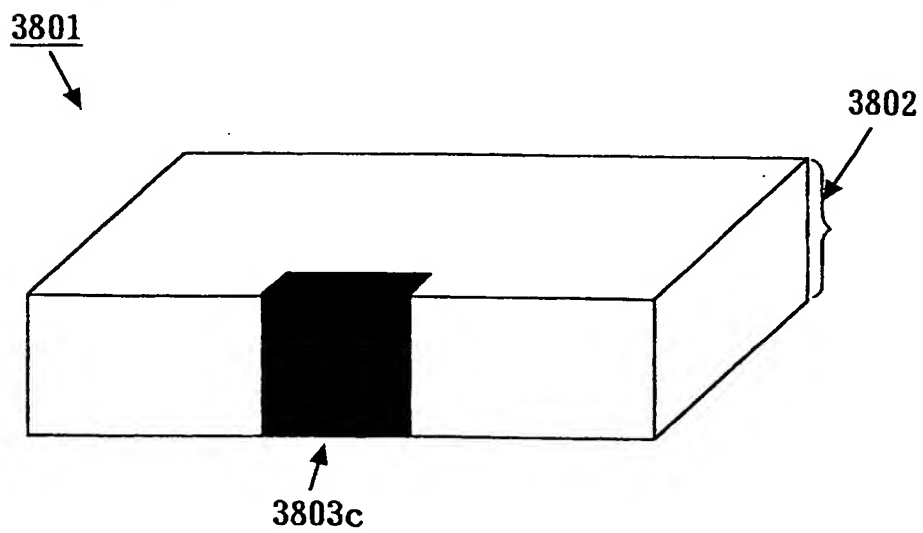
第 2 1 ( a ) 図



第 2 1 ( b ) 図

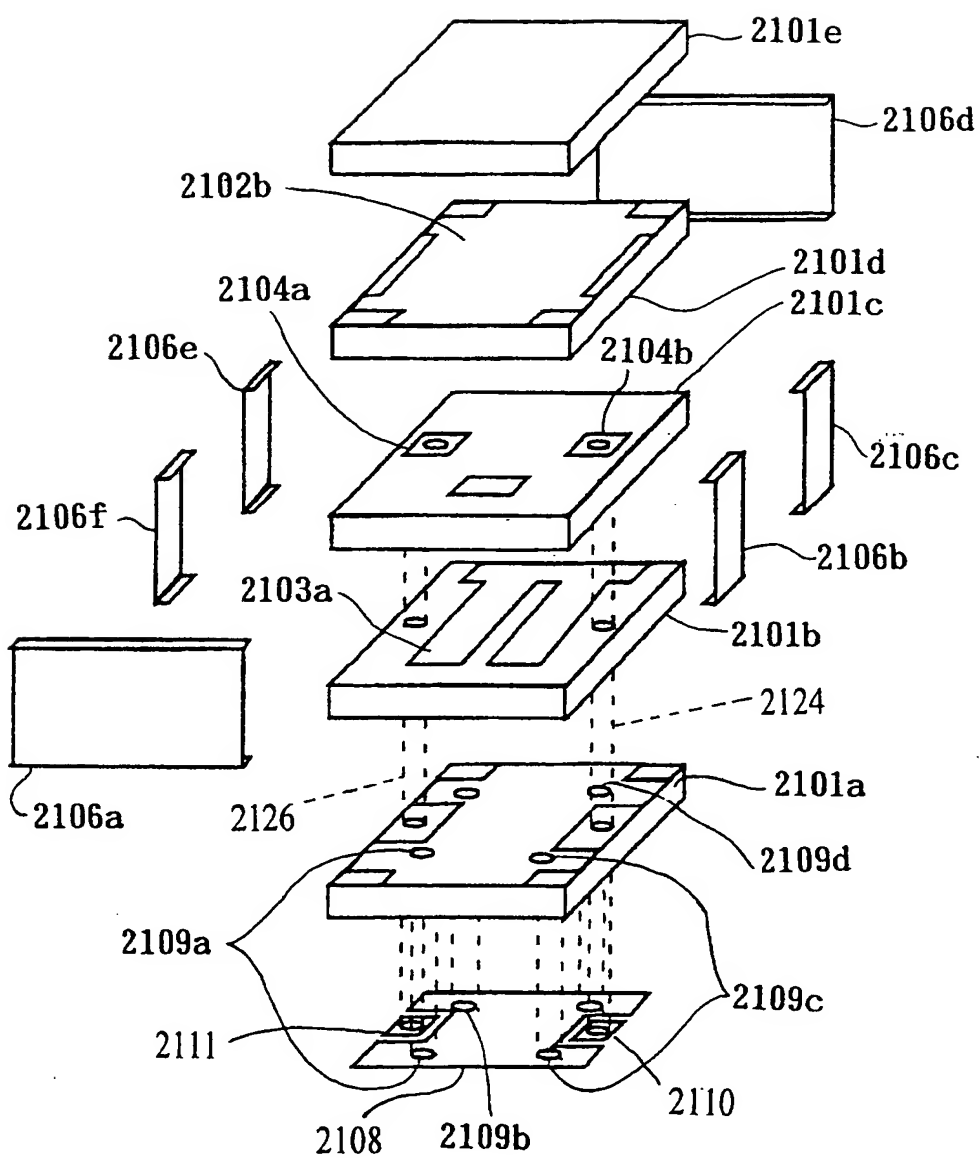


第 2 1 ( c ) 図



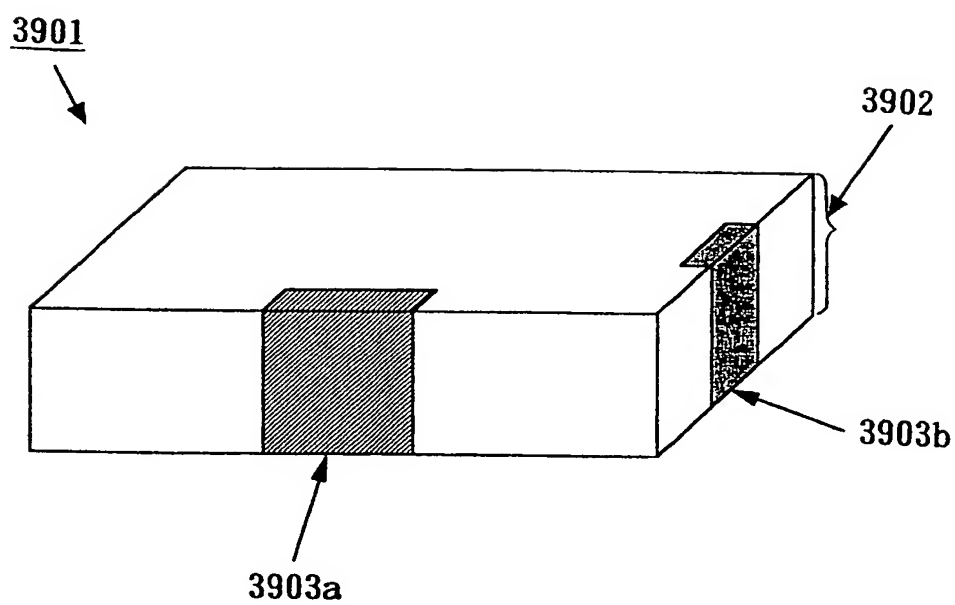
2 1 / 2 2

第 2 2 図



2 2 / 2 2

第 2 3 図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02002

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01P1/203, H01P3/08, H03H7/705

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01P1/20-1/219, H01P7/00-7/10, H01P3/08, H03H7/705

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1966 Toroku Jitsuyo Shinan Koho 1994-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-273502, A (Murata Mfg. Co., Ltd.), 20 October, 1995 (20.10.95), Full text; Figs. 1 to 7	1-10, 25-33, 35-39
A	Full text; Figs. 1 to 7 & EP, 675560, A & US, 5668511, A & DE, 69513072, A	8, 9, 11-24, 34
Y	JP, 9-93005, A (Matsushita Electric Ind. Co., Ltd.), 04 April, 1997 (04.04.97), Full text; Figs. 1 to 10 (Family: none)	39
Y	JP, 5-275903, A (NGK Insulators, Ltd.), 22 October, 1993 (22.10.93), Par. No. [0003]; Figs. 11 to 13 (Family: none)	1-10, 25-33, 35-38

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
13 June, 2001 (13.06.01)

Date of mailing of the international search report  
26 June, 2001 (26.06.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02002

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 5-283906, A (NGK Insulators, Ltd.), 29 October, 1993 (29.10.93), Par. Nos. [0042] to [0044] Par. Nos. [0042] to [0044] (Family: none)	36 22
Y A	JP, 9-307320, A (Matsushita Electric Ind. Co., Ltd.), 28 November, 1997 (28.11.97), Par. No. [0013] Par. No. [0013] (Family: none)	37, 38 23

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01P1/203, H01P3/08, H03H7/705

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01P1/20-1/219, H01P7/00-7/10, H01P3/08, H03H7/705

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1966年  
 日本国公開実用新案公報 1971-2001年  
 日本国登録実用新案公報 1994-2001年  
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-273502, A (株式会社村田製作所) 20. 10月. 1995 (20. 10. 95) 全文, 第1-7図	1-10, 25-33, 35-39
A	全文, 第1-7図 & EP, 675560, A & US, 5668511, A & DE, 69513072, A	8, 9, 11-24, 34

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

13. 06. 01

国際調査報告の発送日

26.06.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉村伊佐雄

印

5 T

2953

電話番号 03-3581-1101 内線 3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 9-93005, A (松下電器産業株式会社) 04. 04月. 1997 (04. 04. 97) 全文, 第1-10図 (ファミリーなし)	39
Y	J P, 5-275903, A (日本碍子株式会社) 22. 10月. 1993 (22. 10. 93) 段落番号【0003】, 第11-13図 (ファミリーなし)	1-10, 25-33, 35-38
Y A	J P, 5-283906, A (日本碍子株式会社) 29. 10月. 1993 (29. 10. 93) 段落番号【0042】-【0044】 段落番号【0042】-【0044】 (ファミリーなし)	36 22
Y A	J P, 9-307320, A (松下電器産業株式会社) 28. 11月. 1997 (28. 11. 97) 段落番号【0013】 段落番号【0013】 (ファミリーなし)	37, 38 23



**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**